

1 Metallisierung

1.1 Kupfertechnologie

1.1.1 Kupfertechnologie

Kupfer bietet gegenüber Aluminium wesentliche Vorteile, und löst das Leichtmetall bei kleinen Strukturen ab. So bietet das Metall einen wesentlich geringeren Widerstand als Aluminium, bei dem gut 50 % der zugeführten Leistung in Wärme umgewandelt werden. Da die Integration von Bauteilen ständig steigt, müssen die Leiterbahnen kleiner werden. Aluminium erfüllt, auch mit Kupferanteil, ab Strukturen unter 250 μm kaum mehr die benötigten elektrischen Anforderungen. Auch die Elektromigration ist bei Kupfer wesentlich weniger stark ausgeprägt. Ein Umstieg auf Kupfer ist somit unausweichlich, wenn die Strukturgrößen weiter abnehmen.

Kupfer hat jedoch die negative Eigenschaft, dass es nahezu alles mit dem es in Kontakt kommt kontaminiert. So müssen die Bereiche und Anlagen in der Fertigung in denen mit Kupfer gearbeitet wird von den anderen strikt abgetrennt werden. Zudem korrodiert Kupfer sehr leicht und muss deshalb, wie auch Aluminium, mit einer Passivierungsschicht versiegelt werden. Während bei Aluminium eine Durchkontaktierung der Ebenen mit Wolfram geschieht, wird bei Kupfer das Metall selbst dazu verwendet (lediglich die erste Schicht beim Kontakt der dotierten Siliciumgebiete erfordert eine Trennung mit Wolfram). So entfallen nicht nur die negativen thermoelektrischen Effekte die an den Übergängen zwischen verschiedenen Metallschichten entstehen, sondern auch die zusätzlichen Arbeitsschritte zum Aufbringen mehrerer Schichten. Jedoch lässt sich Kupfer im Vergleich zu Aluminium nur schlecht in Ätzverfahren strukturieren.

Das „gewöhnliche“ subtraktive Verfahren zur Strukturierung einer Schicht, wie es auch bei Aluminium angewandt wird, sieht vereinfacht so aus:

- zu strukturierende Schicht aufbringen

- Fotolack aufbringen, belichten und entwickeln
- Lackmaske in einem Ätzschritt in die darunterliegende Schicht übertragen
- Lack entfernen
- Passivierungsschicht aufbringen

Bei der Metallisierung mit Kupfer bedient man sich eines additiven Verfahrens, dem so genannten Damascene-Prozess.

1.1.2 Damascene-Verfahren

Beim Damascene-Verfahren werden in bestehende Zwischenschichten, die zur Isolierung bzw. Passivierung dienen, die Kontaktlöcher (VIAs = Vertical Interconnect Access) der einzelnen Metallisierungsebenen geätzt, sowie die Gräben (Trenches), in denen die Kupferleiterbahnen verlaufen werden. In die Öffnungen kann nun mittels CVD-, PVD- + Reflow- sowie elektrochemischen (galvanischen) Verfahren Kupfer abgeschieden werden. Anschließend wird das Kupfer in einem CMP-Prozess planarisiert, bis die Oberfläche eingeebnet ist.

Man unterscheidet dabei noch zwischen Single- und Dual-Damascene-Prozess und bei letzterem noch zwischen VFTL (VIA First Trench Last: VIA zuerst, Graben zuletzt) und TFVL (Trench First VIA Last: Trench zuerst, VIA zuletzt). Im Folgenden werden die zwei Dual-Damascene-Verfahren näher erläutert.

Dual-Damascene: Trench First VIA Last:

Auf dem Wafer (hier auf einer bereits bestehenden Kupferebene) werden verschiedene Materialien aufgebracht, die als Isolations-, Passivierungs- oder Schutzschicht dienen. Als Ätzstopp und Schutz vor Ätzgasen kann Siliciumnitrid (SiN) zum Einsatz kommen. Als dielektrische Zwischenschicht (interlayer dielectric, ILD) kommen Materialien zum Einsatz, die einen geringen k-Wert haben, wie Siliciumdioxid SiO₂. Darüber wird eine Lackmaske strukturiert. Details zu den Schichten werden im nachfolgenden Abschnitt Low-k-Technologie erläutert.

1. Der Wafer wird mit Resist beschichtet, der in einem Lithografieprozess strukturiert wird (Abb. 1.1).
2. In einem anisotropen Ätzprozess wird durch die Hartmaske (SiN) und die ILD-Schicht bis zur ersten Ätzstoppschicht (ebenfalls SiN) geätzt. Der Fotoresist wird ent-

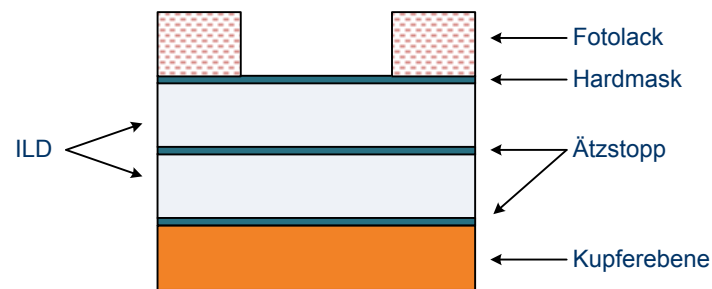


Abb. 1.1: Prinzipieller Damascene-Schichtaufbau vor der Strukturierung

fernt, und der Graben für die Leiterbahnen ist fertig strukturiert (Abb. 1.2(a)).

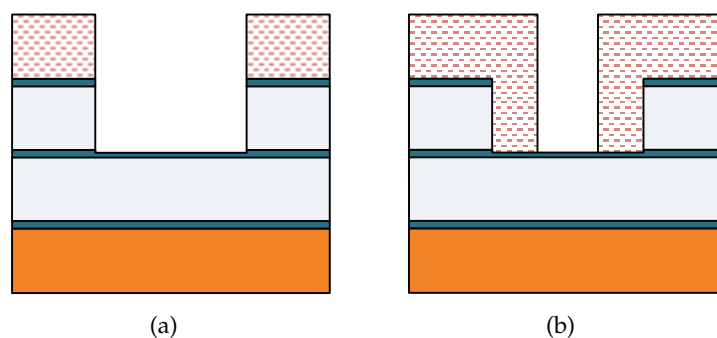


Abb. 1.2: Grabenätzung und VIA-Lackmaske

Die Hartmaske an der Oberfläche wird benötigt, um die ILD-Schicht während des Strippens (Lackentfernen) vor dem Plasma zu schützen. Dies ist notwendig, da die ILD-Schicht chemisch ähnlich aufgebaut ist wie der Fotolack, und so durch die gleichen Prozessgase angegriffen werden kann. Zusätzlich dient die Hartmaske als CMP-Stopp beim abschließenden Einebnen des Kupfers.

3. Als nächstes wird erneut Lack aufgebracht und strukturiert (Abb. 1.2(b)).

4. Anschließend werden in einem anisotropen Ätzprozess die Kontaktlöcher (VIAs) bis zum untersten Ätzstopp geöffnet. In einem niederenergetischen Ätzprozess wird dann die Ätzstoppschicht geöffnet, um kein darunterliegendes Kupfer herauszuschlagen, welches sonst in die ILD-Schicht eindiffundieren kann, danach wird der Fotolack entfernt. Als nächstes wird eine dünne Schicht Tantal abgeschieden die verhindert, dass das Kupfer, welches in einem späteren Prozess aufgebracht wird, in die ILD-Schicht eindringt (Abb. 1.3(a)).

5. Eine dünne Kupferkeimschicht wird aufgebracht und die Strukturen in einem gal-

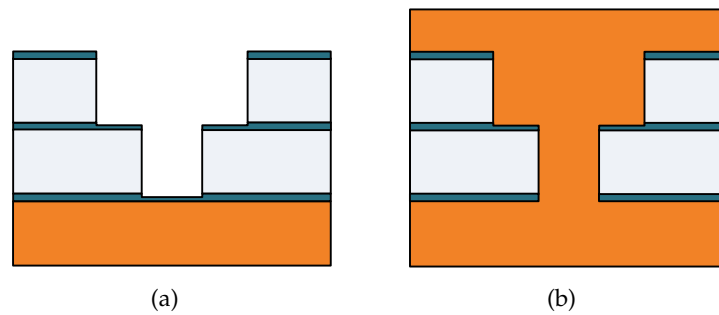


Abb. 1.3: Finale Struktur nach dem Ätzen und der Kupferabscheidung

vanischen Verfahren mit Kupfer aufgefüllt (Abb. 1.3(b)).

6. Das Kupfer wird abschließend mittels CMP planarisiert (Abb. 1.4).

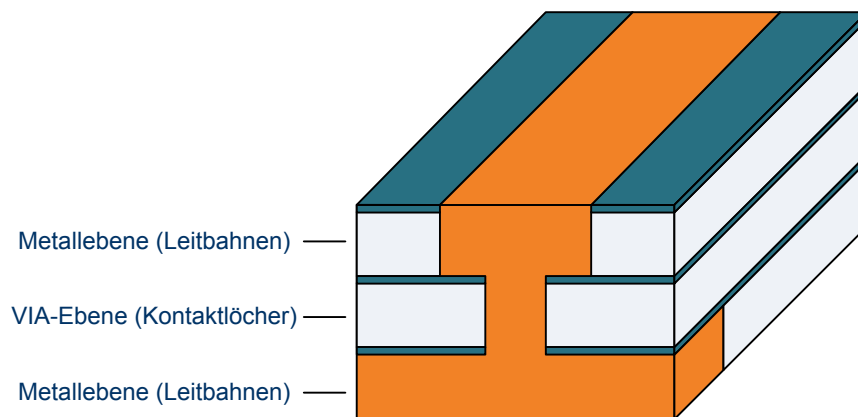


Abb. 1.4: Damascene-Struktur nach Metallisierung und Planarisierung

Der größte Nachteil beim TFVL-Verfahren ist die dicke Lackschicht die nach dem Ätzen der Gräben aufgebracht werden muss (3). Die winzigen VIAs in einer so dicken Lackschicht korrekt herzustellen ist extrem schwer. Das TFVL-Verfahren wird daher nur für die obersten Metallisierungsschichten verwendet, bei denen die Abmessungen der Strukturen nicht so kritisch sind, wie in den untersten Lagen.

Dual-Damascene: VIA First Trench Last:

Der VFTL-Prozess ähnelt dem TFVL-Prozess mit dem Unterschied, dass zuerst die Kontaktlöcher und danach die Gräben strukturiert werden.

1. Zunächst wird eine Lackmaske für die VIAs strukturiert und die Kontaktlöcher in einem anisotropen Ätzschritt bis zum untersten Ätzstopp geöffnet. Wichtig ist, dass der Ätzstopp nicht durchgeätzt wird, um kein darunterbefindliches Kupfer herauszu-

schlagen, welches sonst in die ILD-Schicht eindiffundiert (Abb. 1.5).

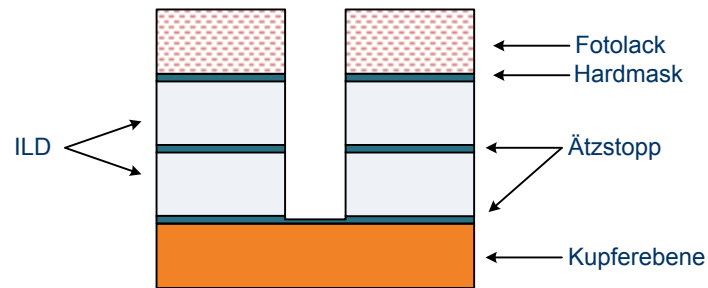


Abb. 1.5: Damascene-Schichtaufbau nach dem Kontaktlochätzen bei VFTL

2. Anschließend wird der Fotolack entfernt, und für die Gräben eine neue Lackmaske strukturiert; hierbei werden auch die bereits geöffneten VIAs mit Lack gefüllt (Abb. 1.6(a)).

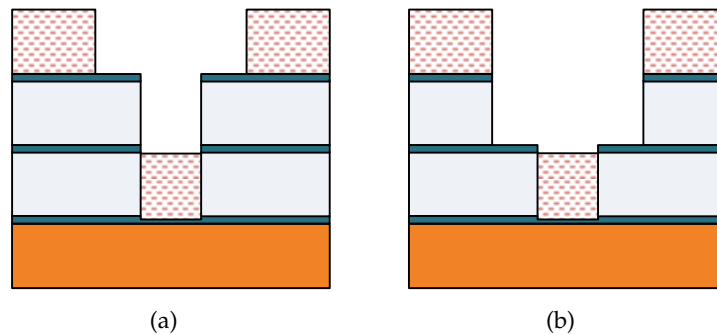


Abb. 1.6: Fototechnik und Ätzung der Gräben

3. Der unterste Ätzstopp wird durch den aufgebrachtten Lack im VIA bei der anschließenden Grabenätzung vor den Ätzgasen geschützt. Danach wird analog zum TFVL-Prozess der unterste Ätzstopp geöffnet, eine Tantalbarriere und die Kupferkeimschicht aufgebracht (1.6(b)).

4. Als letztes folgt die Kupferabscheidung und die Planarisierung mittels chemisch mechanischem Polieren (Abb. 1.7).

Beim Single-Damascene-Verfahren werden die Ebenen für VIAs und Gräben einzeln abgeschieden und strukturiert. Dadurch sind zwei Kupferprozesse (Abscheidung, Planarisierung) notwendig.

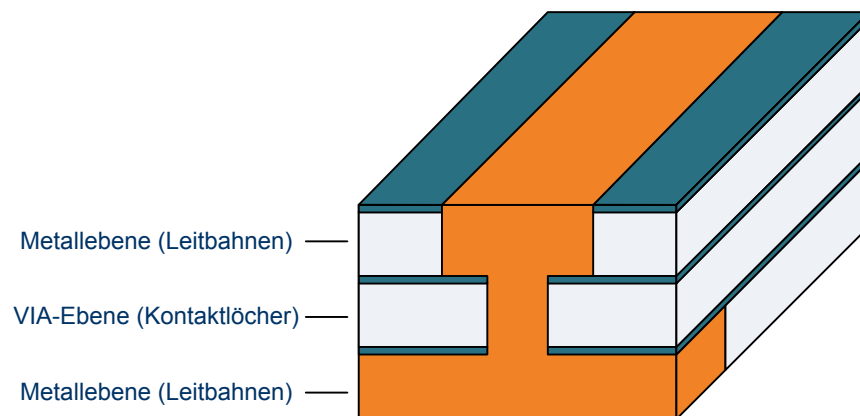


Abb. 1.7: Damascene-Struktur nach Metallisierung und Planarisierung

1.1.3 Low-k-Technologie

Durch die stetige Verkleinerung von Strukturen auf Mikrochips, um einerseits die Leistungsaufnahme zu verringern und andererseits maximale Schaltgeschwindigkeiten zu erzielen, rücken die Leiterbahnen zur Verdrahtung der einzelnen Bauelemente sowohl in vertikaler als auch lateraler Richtung immer näher zusammen. Um die Leiterbahnen von einander zu isolieren, müssen Schichten wie bspw. Siliciumdioxid SiO_2 als ILD aufgebracht werden.

Dort, wo Leiterbahnen parallel verlaufen oder sich auf übereinanderliegenden Metallisierungsebenen kreuzen, entstehen parasitäre Kapazitäten (Kondensatoren). Die Leiterbahnen bilden die leitenden Elektroden, das dazwischen liegende SiO_2 das Dielektrikum.

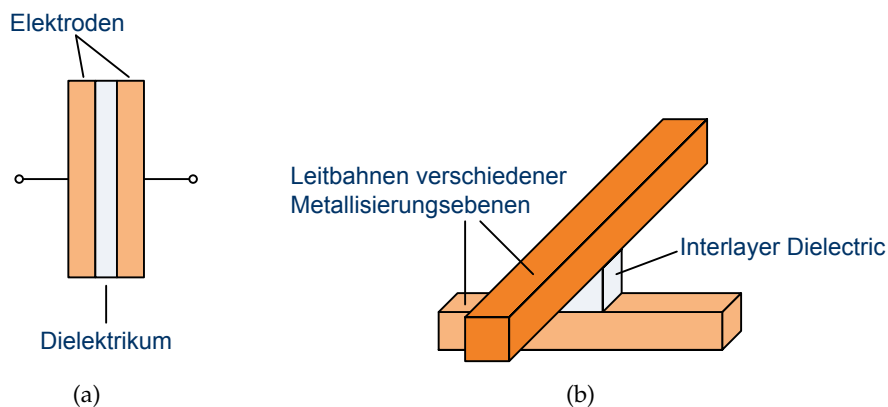


Abb. 1.8: (a) Klassischer Plattenkondensator und (b) Kapazität zwischen Leiterbahnen

Die Kapazität C eines Kondensators berechnet sich nach:

$$C = \frac{\epsilon_0 \epsilon_r A}{d}$$

Dabei steht d für den Abstand der Elektroden, A für die Fläche der Elektroden, also der sich überschneidenden Leiterbahnen, ϵ_0 für die absolute Dielektrizitätskonstante des Vakuums und ϵ_r (im Englischen häufig κ (Kappa) bzw. vereinfacht k) für die Dielektrizitätszahl des Isolators (hier SiO_2).

Die Größe der parasitären Kapazität beeinflusst nun die elektrischen Eigenschaften wie die maximale Schaltgeschwindigkeit oder den Stromverbrauch des Chips, weshalb versucht wird C möglichst klein zu halten. Dies ist theoretisch möglich durch eine Erniedrigung von ϵ_0 , ϵ_r und A oder durch eine Erhöhung von d . Da d wie zu Beginn erläutert immer kleiner wird, A durch die elektrischen Anforderungen vorgegeben ist und ϵ_0 eine physikalische Konstante ist, ergibt sich, dass die Kapazität eines Kondensators im Wesentlichen nur durch eine Verringerung von ϵ_r gesenkt werden kann.

Man benötigt also Dielektrika mit niedrigem ϵ_r : *low-k*.

Das klassische Dielektrikum, SiO_2 , hat eine Dielektrizitätszahl von ca. 4. Low-k beschreibt nun Materialien mit einem Wert $\epsilon_r < 4$, darüber hinaus werden Ultra-low-k-Materialien (ULK) zum Einsatz kommen, die ein $\epsilon_r < 2,4$ haben. Die Dielektrizitätszahl gibt die Polarisierung (Verschiebung von Ladungen innerhalb eines Isolators) im Dielektrikum an, und ist der Faktor, um den die Ladung einer Kapazität im Vergleich zu leerem Raum ansteigt oder um den das elektrische Feld im Kondensator abgeschwächt wird.

Um die Dielektrizitätszahl zu erniedrigen, gibt es im Grunde zwei Ansätze:

- die Polarisierbarkeit von Bindungen im Dielektrikum erniedrigen
- die Anzahl an Bindungen durch poröse Materialien reduzieren

Die Polarisierbarkeit kann durch Stoffe mit wenig polaren Gruppen gesenkt werden, möglich sind fluorierte (FSG, ϵ_r ca. 3,6) oder organische (OSG) Siliciumoxide. Dies allein ist jedoch bei den immer kleiner werdenden Strukturgrößen nicht mehr ausreichend, weshalb der Trend zu porösen Schichten geht. Durch die Porosität befindet sich dann innerhalb des ILD „leerer“ Raum, der im Falle von Luft eine Dielektrizitätszahl

von ca. 1 aufweist (besser ist nur Vakuum mit $\epsilon_r = 1$). Dadurch erniedrigt sich ϵ_r für die gesamte Schicht. Die Poren können erzeugt werden, indem das ILD-Material mit Polymeren versetzt wird, die in einem Temperschritt aus der Schicht getrieben werden. Im Falle von SiO_2 müssten ca. 50 % Poren im Material eingebracht werden, damit man einen k-Wert von 2,0 erreicht. Geht man bereits von einem organischen Material aus, dessen k-Wert ohne Poren 2,5 beträgt, so müssten nur ca. 22 % Poren eingebracht werden.

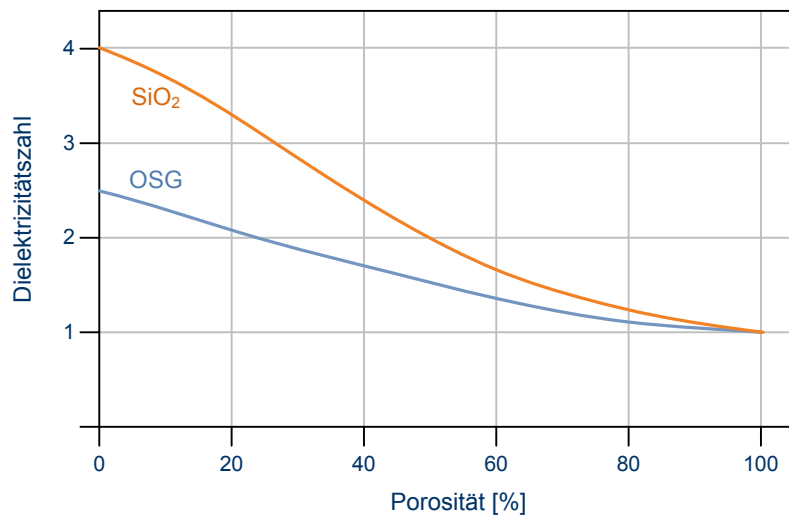


Abb. 1.9: k-Wert in Abhängigkeit von der Porosität

Jedoch ergeben sich einige Probleme die bewältigt werden müssen, um diese neuen Materialien in der Fertigung von Halbleitern einsetzen zu können.

Durch Poren im Material verringert sich dessen Dichte, was in geringerer mechanischer Stabilität resultiert. Zudem können Prozessgase oder Kupfer aus den Leiterbahnen leichter in die Schicht eindringen und diese schädigen, wodurch die Dielektrizitätszahl wieder ansteigt. Um dem entgegenzuwirken müssen die Poren möglichst gleichmäßig verteilt sein und dürfen nicht miteinander verbunden sein. Um eine Diffusion von Kupfer in das ILD zu verhindern, muss in einem zusätzlichen Prozessschritt eine dünne Diffusionsbarriere aufgebracht werden, jedoch muss darauf geachtet werden, dass dieses Material die Dielektrizitätszahl nicht erhöht.

Ebenso wie der in der Halbleiterfertigung eingesetzte Fotolack, bestehen auch die organischen Siliciumoxide aus Kohlenwasserstoffgruppen (CH). Wird nun der Lack nach der Strukturierung des Dielektrikums in einem Sauerstoffplasma entfernt, greift das

Plasma auch das Dielektrikum an. Auch hier müssen zusätzliche Schutzschichten (s. SiN im Abschnitt Damascene-Verfahren) aufgebracht werden die verhindern, dass die Isolationsschicht geschädigt wird.

Chemische Formel	k-Wert
SiO ₂	4,0
SiO _{1,5} CH ₃	3,0
SiO(CH ₃) ₂	2,7
SiO _{0,5} (CH ₃) ₃	2,55

Tab. 1.1: Übersicht verschiedener organischer Siliciumoxide