

Halbleitertechnologie von A bis Z

Wafertest

Der Wafertest	3
<i>Grundlagen des Wafertests</i>	<i>3</i>
<i>Die Prüfnadelkarte (Probe Card)</i>	<i>3</i>
<i>Yield-Mapping und Redundanz</i>	<i>4</i>
Finaler Test und Binning	5
<i>Der finale Funktionstest</i>	<i>5</i>
<i>Burn-in</i>	<i>6</i>
<i>Binning</i>	<i>7</i>

Der Wafertest

Grundlagen des Wafertests

Nach Abschluss aller Front-End-Prozessschritte liegt auf dem Wafer eine Vielzahl fertiger, aber noch unvereinzelter Dies vor. Bevor der Wafer zersägt wird, wird jeder einzelne Die noch auf dem Wafer elektrisch getestet – man spricht vom Wafertest oder Probe Test.

Der Test dient zwei Zwecken: Zum einen werden defekte Dies identifiziert, damit sie im nachfolgenden Montageprozess nicht unnötig weiterverarbeitet werden. Zum anderen liefert der Test bereits erste Daten zur elektrischen Charakterisierung der Schaltung, etwa Schwellspannungen oder Leckströme, die zur Prozesskontrolle genutzt werden können.

Ein Testsystem besteht im Wesentlichen aus drei Komponenten:

- Wafer-Prober: ein Präzisionsgerät, das den Wafer exakt positioniert und Die für Die unter die Prüfnadeln bewegt
- Probe Card: die eigentliche Kontaktierungseinheit mit feinen Nadeln, die auf die Kontaktpads (Pads) jedes Dies aufsetzen
- Tester: das elektronische Prüfgerät, das Testmuster erzeugt und die Antwort der Schaltung auswertet

Da moderne Chips mehrere hundert bis tausend Kontaktpads besitzen können, muss die Probe Card entsprechend viele, sehr fein positionierte Nadeln besitzen, die zuverlässig und ohne die empfindliche Chipoberfläche zu beschädigen, Kontakt herstellen.

Die Prüfnadelkarte (Probe Card)

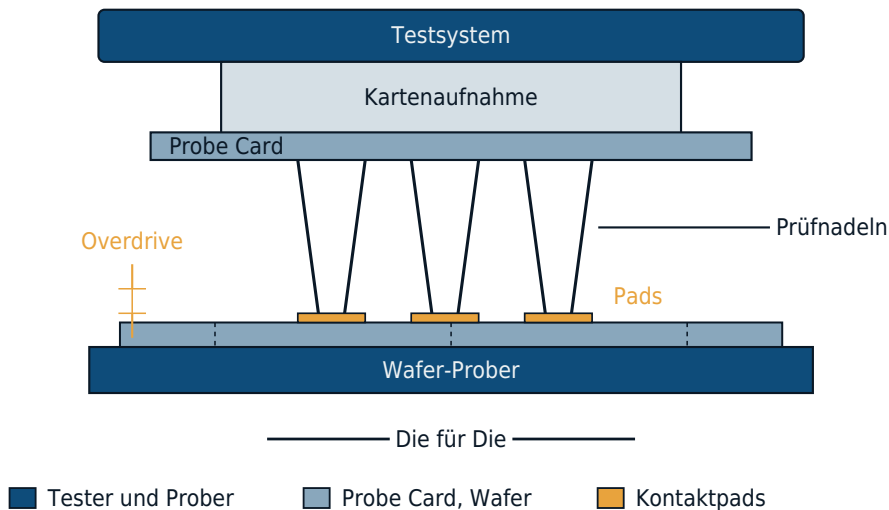
Die Probe Card bildet die mechanische und elektrische Schnittstelle zwischen Tester und Wafer. Ältere Ausführungen nutzen freistehende Nadeln aus Wolfram oder einer Berylliumkupfer-Legierung, die radial auf einen Ring montiert sind. Bei sehr feinen Pad-Abständen (Pitch) kommen heute vermehrt MEMS-basierte Probe Cards zum Einsatz, deren Kontaktspitzen mittels lithografischer Verfahren aus Silicium oder Metall hergestellt werden – ein Verfahren, das eine deutlich höhere Positioniergenauigkeit erlaubt.

Beim Aufsetzen der Nadeln auf die Pads entsteht eine kleine, aber gewollte Kraft (Overdrive), die die native Oxidschicht auf der Padoberfläche durchbricht und so einen niederohmigen elektrischen Kontakt sicherstellt. Zu hoher Overdrive beschädigt jedoch die Pads und kann darunterliegende Schichten schädigen – die Justierung dieser Kraft ist daher ein kritischer

Prozessparameter.

Aufbau des Wafer-Tests

Die Nadeln setzen auf den Pads auf, bevor der Wafer zersägt wird



Die Nadeln werden mit einer kleinen Kraft aufgesetzt, dem Overdrive. Er durchbricht die native Oxidschicht auf den Pads und sichert den Kontakt. Zu viel Overdrive beschädigt die Pads und die Schichten darunter.

Um den Durchsatz zu erhöhen, werden bei modernen Testsystemen häufig mehrere Dies gleichzeitig kontaktiert (Multi-Site-Testing). Damit lassen sich mehrere Chips parallel prüfen, was die Testzeit pro Wafer erheblich verkürzt.

Yield-Mapping und Redundanz

Das Ergebnis jedes Einzeltests wird positionsgenau in einer sogenannten Wafer-Map gespeichert – einer digitalen Karte, die für jeden Die auf dem Wafer vermerkt, ob dieser die Prüfung bestanden hat (Pass) oder nicht (Fail). Diese Karte wird als Yield-Map bezeichnet und begleitet den Wafer durch die gesamte weitere Fertigung.

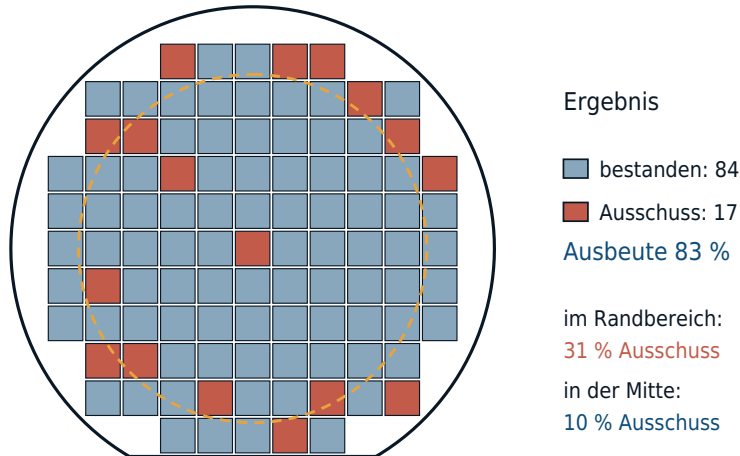
Die Yield-Map hat mehrere wichtige Funktionen:

- Im nachfolgenden Dicing- und Montageprozess werden anhand der Karte nur funktionsfähige Dies weiterverarbeitet, fehlerhafte werden aussortiert
- Räumliche Muster in der Yield-Map (etwa gehäufte Ausfälle am Waferrand) liefern Hinweise auf systematische Prozessprobleme
- Bei Speicherbausteinen (DRAM, NAND-Flash) ermöglicht die Karte den gezielten Einsatz redundanter Schaltungsblöcke: enthält ein Die einzelne defekte Speicherzellen, können diese durch integrierte Reserveschaltungen (Redundanz) elektrisch ersetzt werden, wodurch der Die insgesamt doch

noch nutzbar bleibt

Yield-Map eines Wafers

Jeder Die trägt sein Testergebnis – Ausfälle häufen sich am Rand



Die Karte begleitet den Wafer durch die weitere Fertigung: Beim Dicing werden nur die bestandenen Dies weiterverarbeitet. Räumliche Muster wie dieser Randabfall weisen auf systematische Prozessprobleme hin.

Die durchschnittliche Ausbeute (Yield) eines Wafers – also der Anteil funktionsfähiger Dies an der Gesamtzahl – ist eine der wichtigsten Kennzahlen der Halbleiterfertigung, da sie unmittelbar die Herstellungskosten je Chip bestimmt.

Finaler Test und Binning

Der finale Funktionstest

Nachdem der Die durch Montage und Verkapselung sein fertiges Gehäuse erhalten hat, wird er einem letzten, umfassenden Funktionstest unterzogen – dem Final Test. Im Gegensatz zum Wafertest, der auf Grund der begrenzten Nadelanzahl und Kontaktqualität meist nur eine eingeschränkte Testabdeckung bietet, kann der fertige, gehäute Chip über seine regulären Anschlüsse deutlich umfassender und unter realistischeren elektrischen Bedingungen geprüft werden.

Getestet werden unter anderem:

- Vollständige Funktionsprüfung aller logischen und analogen Schaltungsblöcke
- Elektrische Kennwerte wie Betriebsspannung, Stromaufnahme und Signallaufzeiten
- Verhalten unter verschiedenen Temperatur- und Spannungsbedingungen
- Bei Speicherbausteinen: vollständiger Zellentest über den gesamten Adressraum

Erst nach erfolgreichem Final Test gilt ein Chip als verkaufsfähig. Fehlerhafte Bauteile werden aussortiert und in der Regel vernichtet, da eine Reparatur auf dieser Fertigungsstufe wirtschaftlich nicht mehr sinnvoll ist.

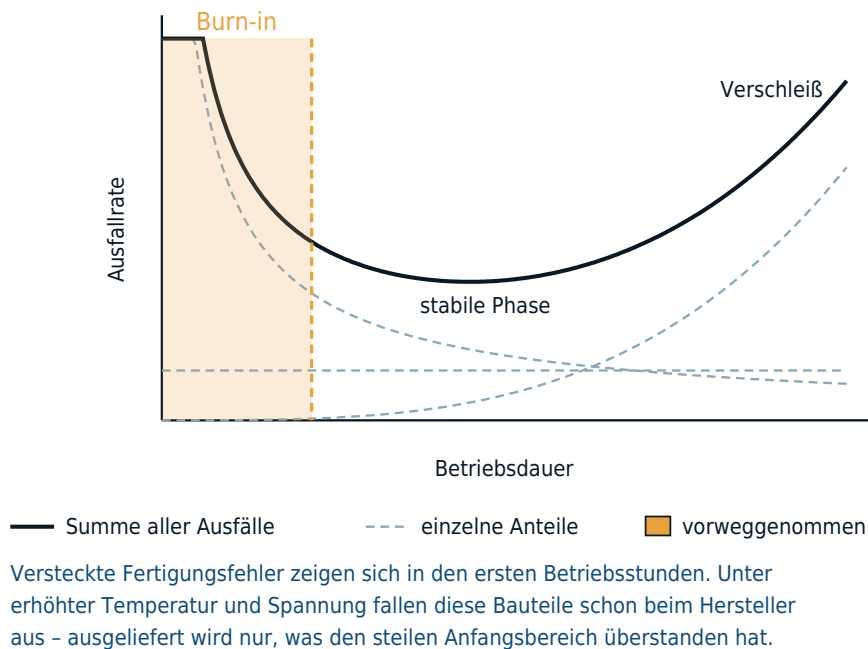
Burn-in

Bei besonders zuverlässigkeitskritischen Anwendungen (etwa in der Automobil- oder Luftfahrtindustrie) wird vor dem eigentlichen Final Test häufig ein sogenannter Burn-in-Prozess durchgeführt. Dabei werden die Chips für einen definierten Zeitraum – von wenigen Stunden bis zu mehreren Tagen – unter erhöhter Temperatur und teilweise erhöhter Betriebsspannung belastet.

Der Hintergrund ist die sogenannte Badewannenkurve der Ausfallrate elektronischer Bauteile: Ein ungewöhnlich hoher Anteil an Frühausfällen tritt typischerweise innerhalb der ersten Betriebsstunden eines Bauteils auf, meist verursacht durch versteckte Fertigungsfehler wie Materialdefekte oder Verunreinigungen, die dem Final Test allein entgangen wären. Nach dieser Frühausfallphase sinkt die Ausfallrate auf ein niedriges, stabiles Niveau ab, bevor sie gegen Ende der Lebensdauer des Bauteils durch Verschleißeffekte wieder ansteigt.

Badewannenkurve der Ausfallrate

Der Burn-in nimmt die Frühausfälle vorweg



Durch den Burn-in-Prozess werden diese Frühausfälle vorweggenommen: Bauteile mit versteckten Defekten fallen bereits während des Burn-in aus und werden aussortiert, bevor sie beim Kunden zum Einsatz kommen. Der verbleibende, überlebende Anteil der Chips weist dadurch eine deutlich höhere Zuverlässigkeit im späteren Betrieb auf.

Binning

Selbst innerhalb eines einzelnen Wafers, ja sogar innerhalb desselben Dies-Designs, treten auf Grund unvermeidlicher Prozessschwankungen leichte Unterschiede in den elektrischen Eigenschaften auf – etwa in der maximal erreichbaren Taktfrequenz eines Prozessors oder im Stromverbrauch. Anstatt Chips mit geringfügig schlechteren Kennwerten zu verwerfen, werden sie stattdessen nach ihrer tatsächlichen Leistungsfähigkeit sortiert und als unterschiedliche Produktvarianten vermarktet. Dieses Verfahren wird als Binning bezeichnet.

Ein bekanntes Beispiel sind Prozessorfamilien, bei denen technisch identische Chips je nach erreichter maximaler Taktfrequenz unter verschiedenen Modellbezeichnungen und zu unterschiedlichen Preisen verkauft werden. Chips, die die höchsten Anforderungen nicht erfüllen, werden in ein niedrigeres Leistungssegment (Bin) eingestuft, anstatt als Ausschuss verworfen zu werden.

Binning erlaubt es Herstellern, die natürliche Streuung der Fertigung wirtschaftlich zu nutzen, statt sie als reinen Ausbeuteverlust zu behandeln. Nach dem Binning erfolgt die endgültige Kennzeichnung der Chips (Marking), üblicherweise durch Laserbeschriftung des Gehäuses, sowie die abschließende Verpackung für den Versand an Gerätehersteller.