

Halbleitertechnologie von A bis Z

Analog-/Mixed-Signal-Design

Operationsverstärker	3
<i>Grundlagen & idealer Operationsverstärker</i>	3
<i>Differenzverstärker & Stromspiegel als Eingangsstufe</i>	3
<i>Topologien: Miller-OTA, Telescopic-Cascode, Folded-Cascode</i>	4
<i>Kenngrößen: Gain, GBW, Slew Rate, PSRR/CMRR, Offset</i>	5
<i>Frequenzkompensation</i>	6
<i>Praxis: typische Grundsaltungen</i>	7
ADC-Architekturen	7
<i>Grundlagen: Abtastung, Quantisierung, Auflösung</i>	8
<i>SAR-ADC (Successive Approximation Register)</i>	8
<i>Pipeline-ADC</i>	8
<i>Sigma-Delta-ADC</i>	9
<i>Flash-ADC</i>	9
<i>Vergleich & Anwendungsbereiche</i>	10
DAC-Architekturen	10
<i>Grundlagen: Auflösung, INL/DNL, Settling Time</i>	10
<i>R-2R-DAC</i>	11
<i>Current-Steering-DAC</i>	11
<i>Sigma-Delta-DAC</i>	11
<i>Vergleich & Anwendungsbereiche</i>	12

Operationsverstärker

Grundlagen & idealer Operationsverstärker

Der Operationsverstärker (OpAmp) ist der zentrale Baustein der analogen Schaltungstechnik. Er verstärkt die Spannungsdifferenz zwischen seinen beiden Eingängen – dem invertierenden (–) und dem nicht-invertierenden (+) Eingang – um einen sehr hohen Faktor, die Leerlaufverstärkung A_0 .

Der ideale OpAmp besitzt vier Eigenschaften, die als Näherung für die Handrechnung von Schaltungen dienen:

- unendliche Leerlaufverstärkung ($A_0 \rightarrow \infty$)
- unendlicher Eingangswiderstand (kein Eingangsstrom)
- Ausgangswiderstand null (ideale Spannungsquelle am Ausgang)
- unendliche Bandbreite

In einer gegengekoppelten Schaltung (z. B. Verstärker mit Widerstandsnetzwerk) folgt aus der hohen Leerlaufverstärkung die virtuelle Masse: Die Spannungsdifferenz zwischen den beiden Eingängen wird durch die Rückkopplung auf nahezu null geregelt, obwohl kein direkter leitender Kontakt zwischen ihnen besteht. Dieses Prinzip ist die Grundlage für die Analyse nahezu aller OpAmp-Grundsaltungen (Invertierer, Nicht-Invertierer, Integrator, Differenzverstärker).

Reale OpAmps weichen von diesem Idealbild ab: endliche Verstärkung, endliche Bandbreite, Eingangsströme (Bias-Ströme durch die Transistor-Eingangsstufe) und ein Ausgangswiderstand ungleich null. Diese nicht-idealen Effekte werden in den folgenden Absätzen quantifiziert.

Differenzverstärker & Stromspiegel als Eingangsstufe

Die Eingangsstufe eines OpAmps ist praktisch immer ein Differenzverstärker (Differential Pair): zwei Transistoren, deren Sources (bei MOS) bzw. Emitter (bei Bipolar) an einer gemeinsamen Stromquelle liegen. Die Differenz der beiden Eingangsspannungen steuert, wie sich der gemeinsame Bias-Strom auf die beiden Zweige aufteilt.

Als aktive Last dient in modernen CMOS-Designs meist ein Stromspiegel (Current Mirror): Ein Referenztransistor gibt einen Strom vor, der über das Verhältnis der Transistor-Weiten (W/L) auf einen oder mehrere weitere Zweige gespiegelt wird. In der OpAmp-Eingangsstufe wandelt der Stromspiegel das differenzielle Stromsignal in ein einzelnes (single-ended) Spannungssignal um – dieser Schritt bestimmt maßgeblich die erste Verstärkungsstufe.

Wichtige Kenngrößen dieser Stufe sind die Transkonduktanz g_m der Eingangstransistoren (bestimmt Verstärkung und Rauschverhalten) sowie der Gleichtaktaussteuerbereich (Common-Mode Input Range) – der Bereich, in dem beide Eingangsspannungen liegen dürfen, ohne dass ein Transistor der Stromquelle oder des Differenzpaares aus der Sättigung fällt.

Topologien: Miller-OTA, Telescopic-Cascode, Folded-Cascode

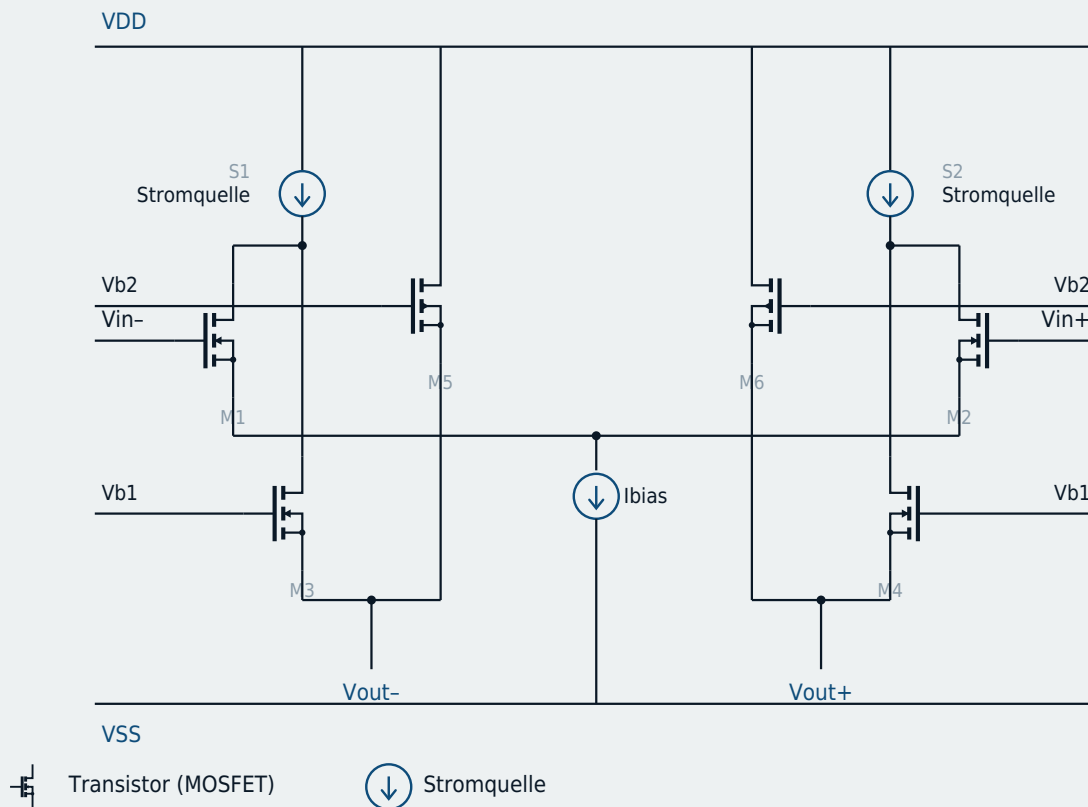
Für integrierte OpAmps (meist als OTA, Operational Transconductance Amplifier, ohne niederohmigen Ausgangspuffer ausgeführt) haben sich mehrere Standard-Topologien etabliert, die unterschiedliche Kompromisse zwischen Verstärkung, Bandbreite, Ausgangshub und Flächenbedarf bieten.

Zweistufiger Miller-OTA: Eine Differenzverstärkerstufe (hohe Verstärkung) gefolgt von einer zweiten Verstärkerstufe (großer Ausgangshub), verbunden über einen Miller-Kompensationskondensator. Diese Topologie erreicht sehr hohe Verstärkung und großen Ausgangs-Spannungshub, ist aber durch die zweite Stufe schwieriger zu kompensieren.

Telescopic-Cascode: Kaskodierung der Differenzpaar-Transistoren und der Stromspiegel-Last in einer einzigen Stufe erhöht den Ausgangswiderstand und damit die Verstärkung erheblich (typisch 60–80 dB), ohne eine zweite Stufe zu benötigen. Nachteil: Durch die gestapelten Transistoren ist der nutzbare Ausgangshub stark eingeschränkt – ungeeignet für Schaltungen mit niedriger Versorgungsspannung.

Folded-Cascode: Löst das Hub-Problem des Telescopic-Cascode, indem der Signalpfad nach der Eingangsstufe auf einen komplementären Kaskodenzweig "gefaltet" wird. Dies erlaubt einen größeren Ausgangshub bei nur geringfügig höherem Stromverbrauch und ist die in der Praxis am häufigsten eingesetzte einstufige Topologie.

Folded-Cascode-Operationsverstärker Vereinfachter Schaltplan (einstufiger OTA)



Eingangspaar M1/M2 wird über die PMOS-Stromquellen S1/S2 in die Kaskodenzweige (M3-M6) zu den Ausgangsknoten Vout-/Vout+ gefaltet.

Kenngrößen: Gain, GBW, Slew Rate, PSRR/CMRR, Offset

Reale OpAmps werden anhand mehrerer Kenngrößen aus dem Datenblatt bzw. für den Schaltungsentwurf charakterisiert:

- Open-Loop-Gain (A_0): Verstärkung ohne Gegenkopplung, typisch 60–120 dB. Bestimmt die Genauigkeit der gegengekoppelten Schaltung (Restfehler $\approx 1/A_0$).
- Gain-Bandwidth-Product (GBW): Produkt aus Verstärkung und Bandbreite an einem Arbeitspunkt; bei einpoligem Verhalten näherungsweise konstant über den Frequenzbereich. Bestimmt die maximale nutzbare Signalbandbreite bei gegebener Verstärkung.
- Slew Rate (SR): Maximale Änderungsrate der Ausgangsspannung (V/ μ s), begrenzt durch den maximal verfügbaren Lade-/Entladestrom des Kompensationskondensators. Bei großen Signalsprüngen limitiert die Slew Rate – nicht die Bandbreite – die tatsächliche Anstiegszeit.
- PSRR (Power Supply Rejection Ratio) und CMRR (Common Mode Rejection Ratio): Maß dafür, wie gut Störungen auf der Versorgungsspannung bzw.

Gleichtaktsignale am Eingang unterdrückt werden.

- Offset-Spannung: Durch Bauteil-Mismatch (Threshold-Spannung, W/L-Verhältnisse) verursachte systematische Eingangsspannungsdifferenz, die auch bei idealer Gegenkopplung eine Ausgangsabweichung erzeugt.

Frequenzkompensation

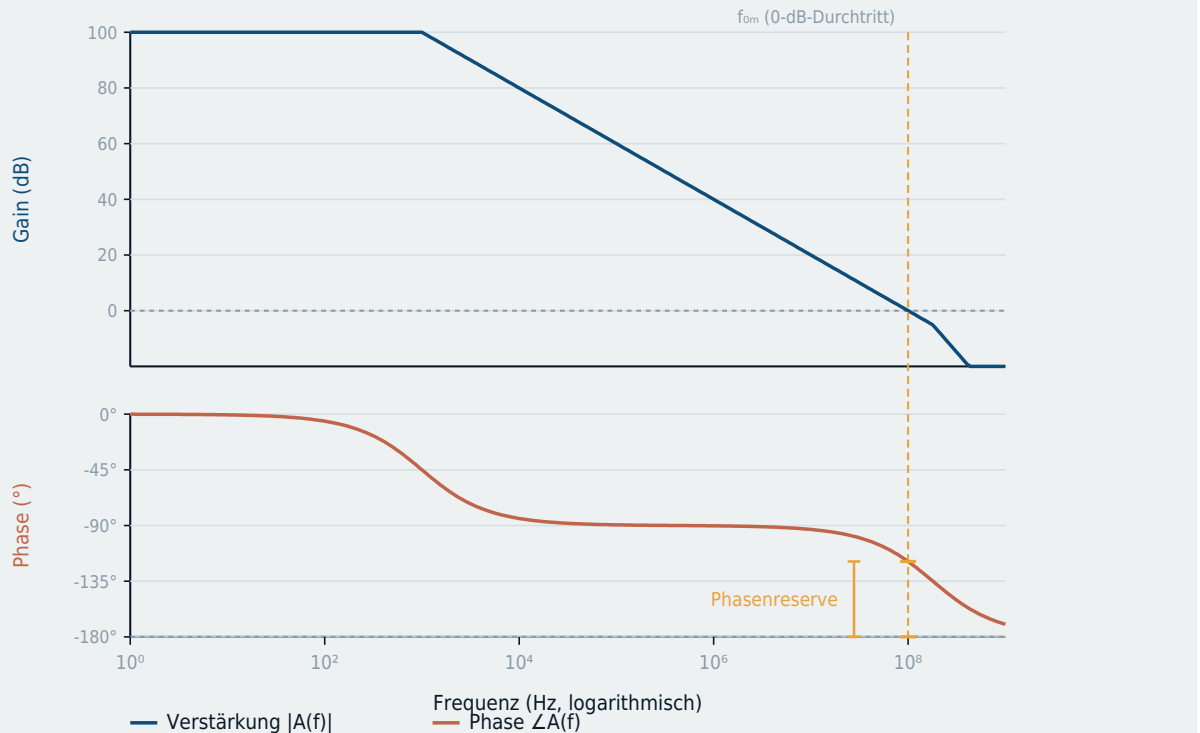
Mehrstufige OpAmps besitzen mehrere Pole im Frequenzgang. Ohne Gegenmaßnahme führt dies bei Rückkopplung zu Instabilität (Oszillation), da die Phasenverschiebung bei der Frequenz, an der die Schleifenverstärkung auf 0 dB abfällt, 180° erreichen oder überschreiten kann.

Die Phasenreserve (Phase Margin) – der Abstand der Phase zu -180° bei der 0-dB-Durchtrittsfrequenz – ist das zentrale Stabilitätskriterium. Ein Phase Margin von mindestens $45-60^\circ$ gilt als praktikabel für ein gutes Einschwingverhalten ohne übermäßiges Überschwingen.

Die häufigste Methode ist die Miller-Kompensation: Ein Kondensator zwischen Ausgang und Zwischenknoten der zweiten Stufe nutzt den Miller-Effekt, um den dominanten Pol zu niedrigeren Frequenzen zu verschieben (Pol-Splitting) und so die anderen Pole außerhalb der relevanten Bandbreite zu halten. Ein in Reihe geschalteter Nullwiderstand (Nulling Resistor) kompensiert dabei die durch den Kompensationskondensator eingeführte rechtshalbebene Nullstelle, die andernfalls die Phasenreserve verschlechtert.

Bode-Diagramm mit Phasenreserve

Verstärkung und Phase eines kompensierten zweistufigen OpAmps



Phasenreserve = Abstand der Phasenkurve zu -180° bei der 0-dB-Durchtrittsfrequenz.

Praxis: typische Grundsaltungen

OpAmps bilden die Basis zahlreicher analoger Grundsaltungen, die in nahezu jedem Mixed-Signal-System vorkommen:

- Spannungsfolger (Puffer): Verstärkung 1, extrem hoher Eingangs- und niedriger Ausgangswiderstand – zur Impedanzwandlung zwischen Schaltungsstufen.
- Integrator: Widerstand am Eingang, Kondensator in der Rückkopplung – erzeugt eine zur Zeit integrierte Ausgangsspannung; zentraler Baustein von Filtern, Sigma-Delta-Modulatoren und PLL-Loop-Filtern.
- Instrumentenverstärker: Kombination mehrerer OpAmps zur präzisen, rauscharmen Verstärkung kleiner Differenzsignale mit hoher Gleichtaktunterdrückung – typisch in der Sensorsignalaufbereitung.

Diese Grundsaltungen verbinden das Kapitel Operationsverstärker mit den nachfolgenden Kapiteln zu ADC/DAC-Architekturen und PLL, in denen OTAs als Integratoren, Verstärkerstufen und Ladungspumpen wiederverwendet werden.

ADC-Architekturen

Grundlagen: Abtastung, Quantisierung, Auflösung

Ein Analog-Digital-Wandler (ADC, Analog-to-Digital Converter) überführt ein zeitkontinuierliches, wertkontinuierliches Signal in eine Folge diskreter Zahlenwerte. Dieser Prozess besteht aus zwei getrennten Schritten: der Abtastung (Sampling) in der Zeit und der Quantisierung der Amplitude.

Nach dem Nyquist-Shannon-Abtasttheorem muss die Abtastfrequenz mindestens doppelt so hoch sein wie die höchste im Signal enthaltene Frequenzkomponente, um das Signal ohne Informationsverlust rekonstruieren zu können. Andernfalls entstehen durch Aliasing nicht mehr unterscheidbare Spiegelfrequenzen – in der Praxis wird dem ADC daher meist ein analoger Anti-Aliasing-Filter vorgeschaltet.

Die Quantisierung rundet den abgetasteten Spannungswert auf den nächstgelegenen von 2^N darstellbaren Codes (bei N Bit Auflösung). Die dabei unvermeidliche Differenz ist der Quantisierungsfehler, der sich als Quantisierungsrauschen im Ausgangssignal äußert. Wichtige Kenngrößen zur Bewertung realer Wandler sind SNR (Signal-Rausch-Verhältnis), SFDR (Störfreier Dynamikbereich) und ENOB (Effective Number of Bits) – die tatsächlich nutzbare Auflösung unter Berücksichtigung von Rauschen und Verzerrung.

SAR-ADC (Successive Approximation Register)

Der SAR-ADC wandelt einen abgetasteten Spannungswert über eine binäre Suche in einen digitalen Code um. Ein internes Register testet dabei bitweise, beginnend beim höchstwertigen Bit (MSB), ob der jeweilige Code-Wert über oder unter der Eingangsspannung liegt, und verwendet dazu einen internen DAC zur Erzeugung der Vergleichsspannung sowie einen Komparator zur Entscheidung.

Für eine Auflösung von N Bit benötigt die Wandlung genau N Vergleichstakte – die Wandlungsgeschwindigkeit skaliert damit linear mit der Auflösung. SAR-ADCs zeichnen sich durch geringen Flächenbedarf, niedrigen Leistungsverbrauch und moderate bis hohe Auflösung (typisch 8-18 Bit) bei mittleren Abtastraten (kHz bis wenige 10-MHz-Bereich) aus und sind die heute am häufigsten eingesetzte ADC-Architektur in Mixed-Signal-ICs.

Pipeline-ADC

Der Pipeline-ADC teilt die Wandlung auf mehrere hintereinandergeschaltete Stufen auf. Jede Stufe wandelt einige wenige Bits mit einem einfachen Flash-Sub-ADC, rekonstruiert daraus über einen internen DAC ein Referenzsignal, bildet die Differenz zum Eingangssignal (Residuum) und verstärkt dieses Residuum für die nächste Stufe (Multiplying DAC, MDAC).

Da alle Stufen gleichzeitig an unterschiedlichen Abtastwerten arbeiten (Pipelining), erreicht diese Architektur deutlich höhere Durchsatzraten als ein SAR-ADC bei vergleichbarer Auflösung – typisch 8–16 Bit bei Abtastraten im 10-MHz- bis GHz-Bereich. Nachteilig sind die durch die Pipeline-Stufen bedingte Latenz sowie der höhere Flächen- und Leistungsbedarf gegenüber dem SAR-ADC.

Sigma-Delta-ADC

Der Sigma-Delta-ADC (auch Delta-Sigma-ADC) verfolgt einen grundlegend anderen Ansatz: Anstatt hoher Amplitudenauflösung pro Abtastwert nutzt er starkes Überabtasten (Oversampling, typisch 32–256-fache Nyquist-Rate) in Kombination mit einem rückgekoppelten Sigma-Delta-Modulator. Dieser besteht im Kern aus einem Integrator, einem groben (oft 1-Bit-)Quantisierer und einer Rückkopplung über einen DAC in den Signalpfad.

Durch die Rückkopplung wird das Quantisierungsrauschen gezielt zu höheren Frequenzen verschoben (Noise Shaping) und anschließend durch einen digitalen Tiefpassfilter (Dezimationsfilter) wieder entfernt, der gleichzeitig die hohe Abtastrate auf die eigentliche Nyquist-Rate reduziert. Sigma-Delta-ADCs erreichen dadurch sehr hohe effektive Auflösungen (bis über 24 Bit) bei niedrigen bis moderaten Bandbreiten und sind Standard in Präzisionsmesstechnik, Audio und Sensorik.

Flash-ADC

Der Flash-ADC ist die schnellste, aber auch aufwendigste ADC-Architektur: Die Eingangsspannung wird parallel mit $2^N - 1$ Referenzspannungen verglichen, die über eine Widerstandskette aus der Referenzspannung abgeleitet werden. Ein nachgeschalteter Prioritätsencoder wandelt das resultierende Thermometer-Code-Muster der Komparatoren in einen Binärcode um.

Da die Wandlung in einem einzigen Taktzyklus erfolgt, erreicht der Flash-ADC die höchsten verfügbaren Abtastraten (mehrere GHz). Der exponentiell mit der Auflösung wachsende Aufwand an Komparatoren begrenzt die praktische Auflösung jedoch meist auf 6–8 Bit. Flash-ADCs werden daher vor allem in

Hochgeschwindigkeitsanwendungen eingesetzt, oft auch als schnelle Sub-ADC-Stufe innerhalb eines Pipeline-ADCs.

Vergleich & Anwendungsbereiche

Architektur	Typ. Auflösung	Typ. Abtastrate	Typische Anwendung
SAR	8-18 Bit	kHz - ca. 50 MHz	Universell, Sensorik, Mixed-Signal-SoCs
Pipeline	8-16 Bit	10 MHz - GHz	Kommunikationstechnik, Video, HF-Empfänger
Sigma-Delta	bis >24 Bit	Hz - wenige MHz	Präzisionsmesstechnik, Audio, Sensorik
Flash	6-8 Bit	>1 GHz	Hochgeschwindigkeits-Digitalisierung, Oszilloskope

Die Wahl der Architektur ist stets ein Kompromiss zwischen Auflösung, Geschwindigkeit, Flächenbedarf und Leistungsaufnahme. In modernen SoCs werden je nach Anwendungsfall auch Kombinationen eingesetzt, etwa Pipeline-Stufen mit Flash-Sub-ADCs oder SAR-Stufen innerhalb von Zeitverschachtelungs-Architekturen (Time-Interleaved-ADC) für höchste Abtastraten bei moderater Auflösung.

DAC-Architekturen

Grundlagen: Auflösung, INL/DNL, Settling Time

Ein Digital-Analog-Wandler (DAC, Digital-to-Analog Converter) erzeugt aus einem N-Bit-Digitalcode eine analoge Spannung oder einen analogen Strom aus 2^N möglichen diskreten Ausgangswerten.

Zur Bewertung der Linearität dienen zwei Kenngrößen: Die DNL (Differential Non-Linearity) beschreibt die Abweichung des Abstands zweier benachbarter Ausgangscodes vom idealen LSB-Schritt - eine $DNL \leq -1$ LSB führt zu nicht-monotonem Verhalten. Die INL (Integral Non-Linearity) beschreibt die kumulierte Abweichung der gesamten Übertragungskennlinie von der idealen Geraden.

Für die dynamische Bewertung ist die Settling Time entscheidend: die Zeit, bis der Ausgang nach einem Codewechsel innerhalb eines definierten Fehlerbands (z. B. $\pm 1/2$ LSB) einschwingt. Sie begrenzt die maximale Update-Rate des DACs und wird von der Bandbreite der Ausgangsstufe (häufig ein OpAmp-Puffer) mitbestimmt.

R-2R-DAC

Der R-2R-DAC nutzt ein Widerstandsnetzwerk aus nur zwei Widerstandswerten (R und $2R$), das sich über beliebig viele Bits kaskadieren lässt, ohne dass – anders als bei einem binär gewichteten Widerstandsnetzwerk – extrem große Widerstandsverhältnisse zwischen MSB und LSB entstehen. An jedem Knoten des Netzwerks wird je nach Bitwert entweder gegen Masse oder gegen die Referenzspannung geschaltet.

Der große Vorteil ist die gute Herstellbarkeit mit nur zwei präzise zueinander passenden Widerstandswerten, was Flächenbedarf und Matching-Anforderungen reduziert. Die erreichbare Genauigkeit hängt jedoch stark vom Matching der Schaltertransistoren und der Widerstände ab; R-2R-DACs werden häufig für Auflösungen im Bereich von 8-16 Bit bei moderaten Geschwindigkeiten eingesetzt.

Current-Steering-DAC

Der Current-Steering-DAC ist die dominante Architektur für hohe Geschwindigkeiten. Er besteht aus einem Array binär oder thermometer-kodiert gewichteter Stromquellen, die je nach Digitalcode auf einen von zwei Ausgangszweigen (differenziell) geschaltet werden. Ein Ausgangswiderstand oder eine transimpedante Stufe wandelt den resultierenden Ausgangsstrom in eine Spannung.

Da keine internen OpAmps mit begrenzter Bandbreite im Signalpfad liegen, erreichen Current-Steering-DACs sehr hohe Abtastraten (bis in den GHz-Bereich) bei Auflösungen von typisch 8-16 Bit. Bei den höchstwertigen Bits wird meist eine thermometer-kodierte Segmentierung eingesetzt, um Monotonie zu garantieren und Glitches beim Codewechsel zu minimieren, während die niederwertigen Bits binär gewichtet realisiert werden (segmentierte Architektur).

Sigma-Delta-DAC

Analog zum Sigma-Delta-ADC nutzt der Sigma-Delta-DAC Überabtastung und Noise Shaping, jedoch in umgekehrter Signalrichtung: Ein digitaler Interpolationsfilter erhöht zunächst die Datenrate des Eingangssignals, ein digitaler Sigma-Delta-Modulator reduziert anschließend die Wortbreite (häufig auf 1 Bit) und verschiebt dabei das Quantisierungsrauschen zu hohen Frequenzen. Ein sehr einfacher, hochlinearer 1-Bit-DAC wandelt den resultierenden Bitstrom, ein analoger Tiefpassfilter glättet das Ergebnis zum finalen Analogsignal.

Da der eigentliche DAC-Kern nur 1 Bit auflöst, entfällt das Matching-Problem mehrbittiger Widerstands- oder Stromquellen-Arrays fast vollständig – auf Kosten einer höheren erforderlichen Taktrate und digitalen Filterkomplexität. Sigma-Delta-DACs dominieren daher hochauflösende Audioanwendungen (typisch 16–24 Bit).

Vergleich & Anwendungsbereiche

Architektur	Typ. Auflösung	Typ. Geschwindigkeit	Typische Anwendung
R-2R	8–16 Bit	niedrig – moderat	Allgemeine Signalerzeugung, Steuerungstechnik
Current-Steering	8–16 Bit	bis GHz-Bereich	HF-Sendetechnik, Direct Digital Synthesis
Sigma-Delta	16–24 Bit	niedrig – moderat (Audio-Bandbreite)	Audio-DACs, Präzisionssignalerzeugung

Wie bei ADCs bestimmt der Anwendungsfall die Architektur: Hohe Geschwindigkeit bei moderater Auflösung spricht für Current-Steering, hohe Auflösung bei moderater Bandbreite für Sigma-Delta. R-2R-DACs finden sich heute vor allem dort, wo einfache, robuste Signalerzeugung ohne Hochgeschwindigkeitsanforderungen genügt.