

Halbleitertechnologie von A bis Z

Digitaltechnik

DRAM-Fertigung: der Trench-Kondensator-Prozess	3
<i>Allgemeiner Aufbau und Funktionsweise</i>	<i>3</i>
<i>Herstellung des Trench-Kondensators</i>	<i>4</i>
<i>Herstellung des Zugriffstransistors und der Verdrahtung</i>	<i>13</i>

DRAM-Fertigung: der Trench-Kondensator-Prozess

Allgemeiner Aufbau und Funktionsweise

Die DRAM-Speicherzelle: 1 Transistor, 1 Kondensator

Eine DRAM-Zelle (Dynamic Random Access Memory) speichert ein einzelnes Bit als elektrische Ladung auf einem Kondensator. Ein Zugriffstransistor verbindet diesen Kondensator bei Bedarf mit der Bitline – ist der Transistor gesperrt, bleibt die Ladung isoliert und das Bit gespeichert; wird er über die Wordline leitend geschaltet, kann die Ladung ausgelesen oder neu geschrieben werden. Diese Zweierkombination aus einem Transistor und einem Kondensator wird als 1T1C-Zelle bezeichnet und ist mit Abstand die flächeneffizienteste Möglichkeit, ein Bit zu speichern – deutlich kompakter als die sechs Transistoren einer SRAM-Zelle, dafür jedoch mit einer entscheidenden Einschränkung: Die gespeicherte Ladung fließt über Leckströme langsam ab und muss periodisch alle paar Millisekunden aufgefrischt werden, daher der Name „dynamisch“.

Die Herausforderung beim Zellenentwurf ist rein geometrisch: Ein Kondensator braucht Fläche, um genügend Ladung für ein zuverlässig auslesbares Signal zu speichern – typischerweise im Bereich einiger Femtofarad. Mit jedem neuen Technologieknoten schrumpft die verfügbare Zellfläche jedoch weiter, während die nötige Kapazität nahezu konstant bleibt. Die Fertigungsindustrie hat dieses Problem auf zwei grundlegend verschiedene Weisen gelöst.

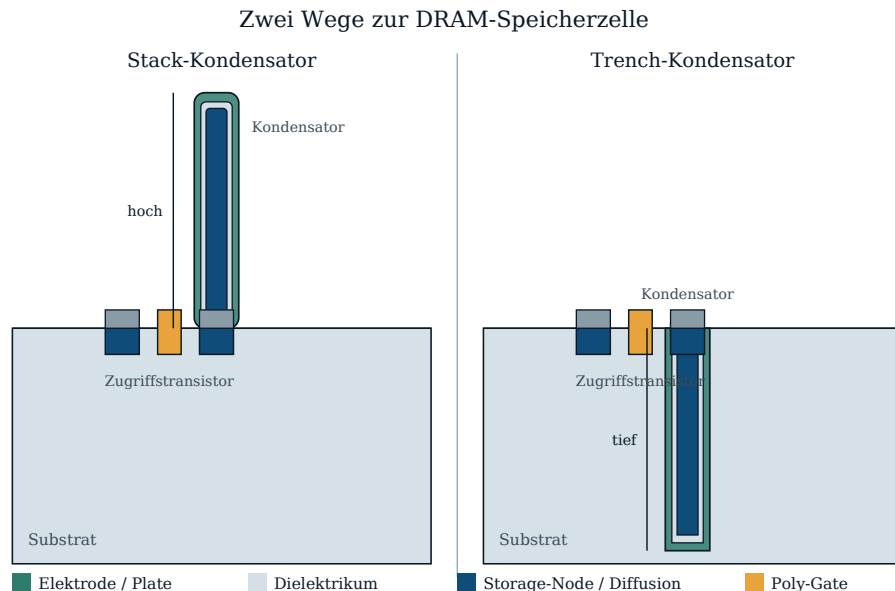
Zwei Wege zum selben Ziel: Stack versus Trench

Der Stapel-Kondensator (Stack-Kondensator, dominant bei Samsung, SK Hynix und Micron) baut die benötigte Fläche vertikal oberhalb des Zugriffstransistors auf: Zylindrische oder kronenförmige Elektrodenstrukturen türmen sich über der Waferoberfläche auf und können bei Bedarf – innerhalb der Grenzen der Lithografie und Ätztechnik – nahezu beliebig hoch werden.

Der Trench-Kondensator (Graben-Kondensator, historisch von IBM entwickelt und u. a. bei Infineon/Qimonda eingesetzt) verlagert dieselbe Fläche stattdessen nach unten: Ein tiefer, schmaler Graben wird mehrere Mikrometer in das Substrat geätzt, und die Kondensatorelektroden liegen als konzentrische Zylinderflächen an dessen Wänden. Der große Vorteil dieses Ansatzes liegt in der Prozessreihenfolge: Der Graben – der aufwendigste und kritischste Teil der Fertigung – entsteht bereits vor dem Zugriffstransistor, wodurch der Transistor selbst am Ende einer nahezu ebenen Waferoberfläche gefertigt wird, ohne die

hohen Stufen eines fertigen Stapel-Kondensators überwinden zu müssen.

Das folgende Diagramm stellt beide Bauformen im Querschnitt gegenüber, bevor die folgenden Abschnitte den vollständigen Trench-Prozess Schritt für Schritt aufbauen.



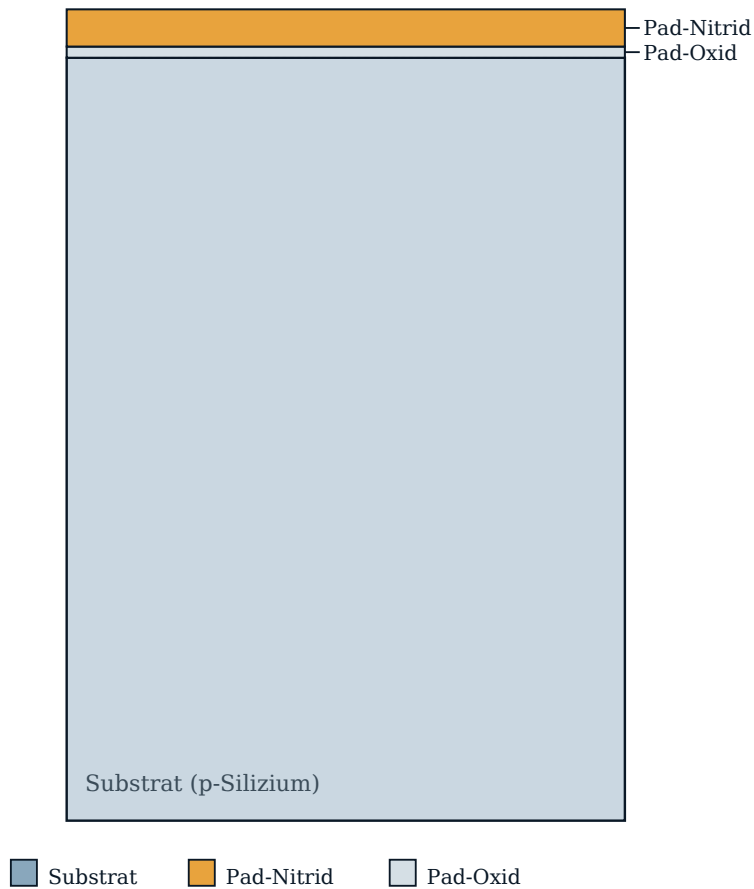
Herstellung des Trench-Kondensators

Vom flachen Wafer zum tiefen Graben

Der Trench-Kondensator-Prozess beginnt, bevor auch nur ein Transistor existiert – der Graben wird als allererste Struktur in den noch völlig unbearbeiteten Wafer geätzt. Diese Reihenfolge ist kein Zufall: Der aufwendigste, kritischste Teil der gesamten Zellfertigung soll auf einer perfekt ebenen Oberfläche stattfinden, ohne durch bereits vorhandene Transistor- oder Verdrahtungsstrukturen behindert zu werden.

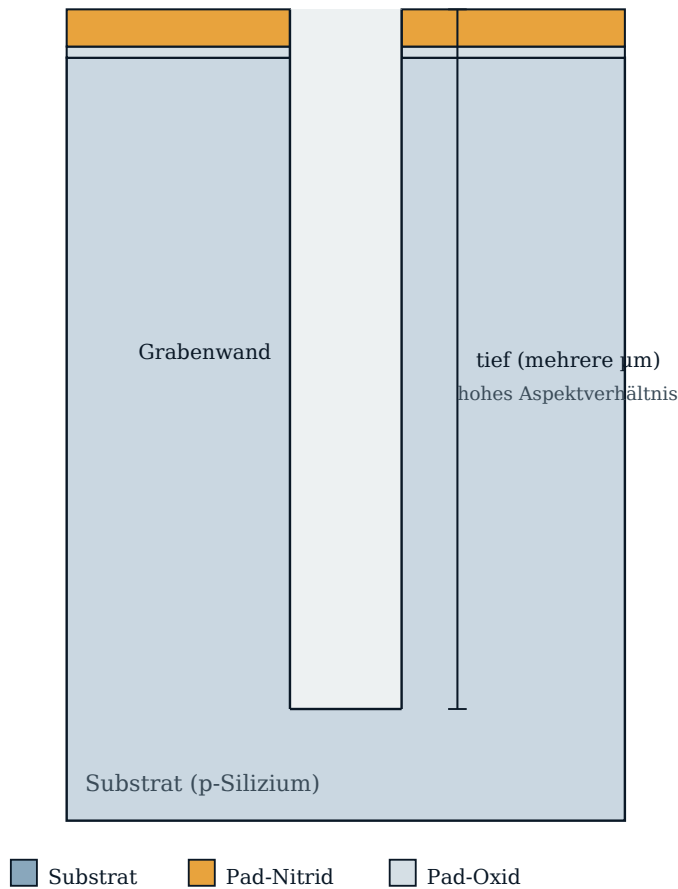
Schritt 1 – Pad-Oxid und Pad-Nitrid: Auf das p-dotierte Silizium-Substrat wird zunächst eine dünne thermische Oxidschicht (Pad-Oxid) aufgewachsen, die als Pufferschicht mechanische Spannungen zwischen Substrat und der folgenden Nitridschicht abbaut. Direkt darüber wird eine deutlich dickere Siliziumnitrid-Schicht (Pad-Nitrid) abgeschieden. Dieser Schichtstapel dient im nächsten Schritt als Hartmaske für die Grabenätzung und muss dafür so strukturiert werden, dass er nur an der vorgesehenen Trench-Position eine Öffnung freigibt.

Schritt 1: Pad-Oxid und Pad-Nitrid



Schritt 2 – Deep-Trench-Ätzung: Durch die geöffnete Hartmaske ätzt ein hochanisotroper RIE-Prozess einen schmalen, mehrere Mikrometer tiefen Graben in das Substrat. Das Aspektverhältnis (Verhältnis von Tiefe zu Breite) liegt bei modernen Trench-Zellen typischerweise bei 50:1 oder höher – eine der anspruchsvollsten Ätzaufgaben der gesamten Halbleiterfertigung, da die Seitenwände über die gesamte Tiefe gleichmäßig senkrecht und glatt bleiben müssen.

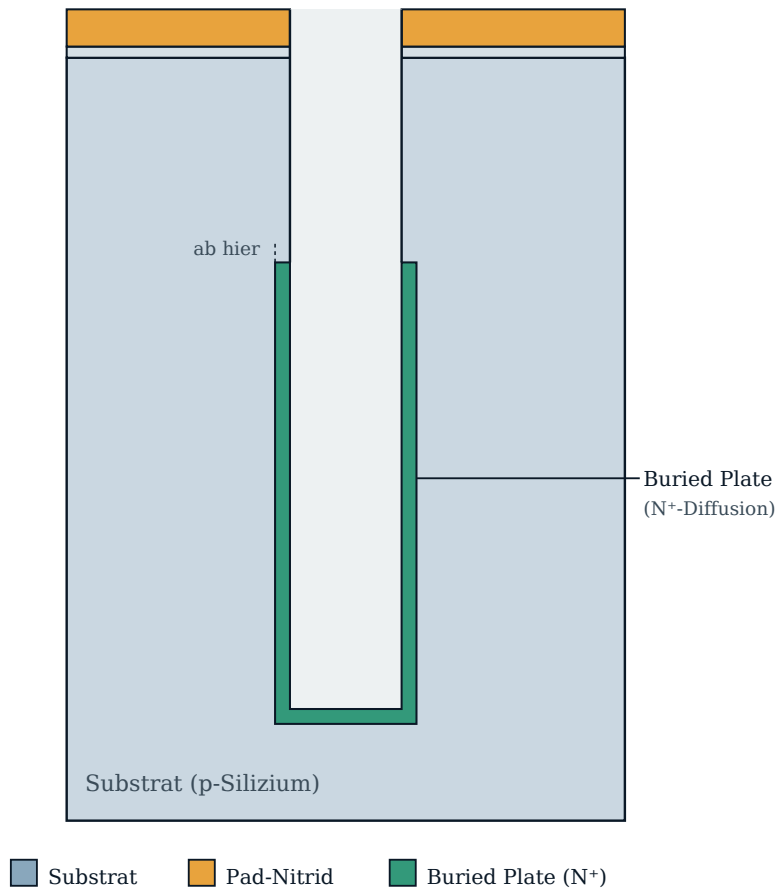
Schritt 2: Deep-Trench-Ätzung



Die Kondensatorelektroden entstehen

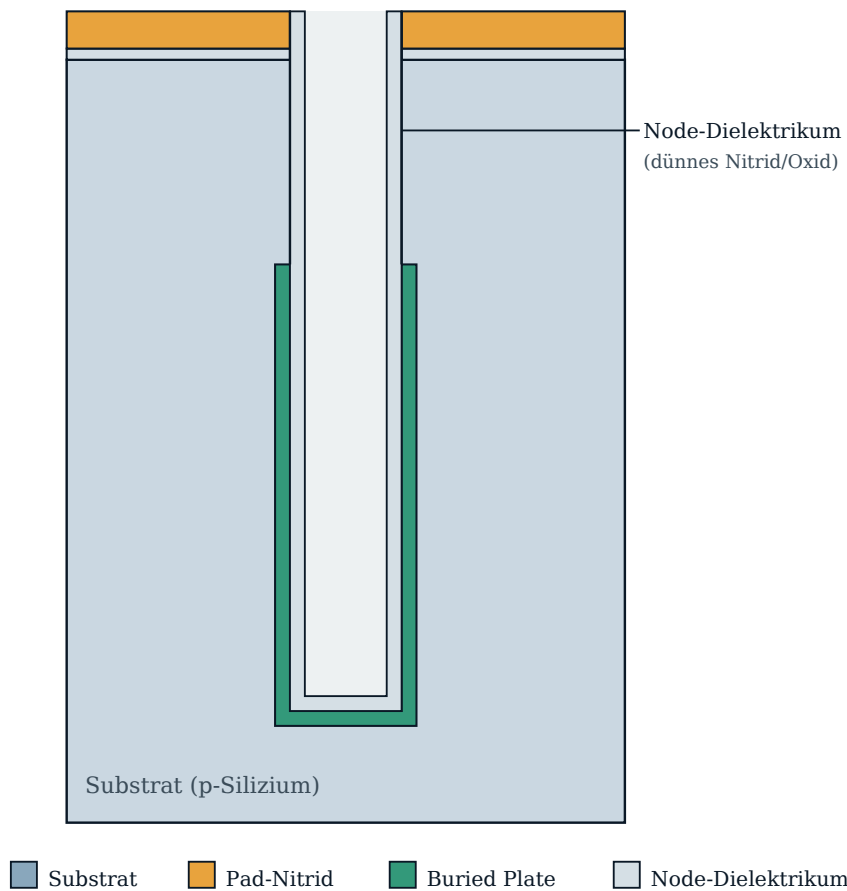
Schritt 3 – Buried Plate: Die untere, tiefere Region der Grabenwand wird mit einer Arsen-dotierten Glasschicht (Arsenglas) beschichtet, aus der der Dotierstoff bei erhöhter Temperatur in die angrenzende Siliziumwand eintreibt. So entsteht die Buried Plate – eine hoch n-dotierte Zone, die als äußere, mit allen Zellen eines Arrays gemeinsam verbundene Kondensatorelektrode dient (vergleichbar mit der „Ground Plate“ eines klassischen Kondensators).

Schritt 3: Buried Plate



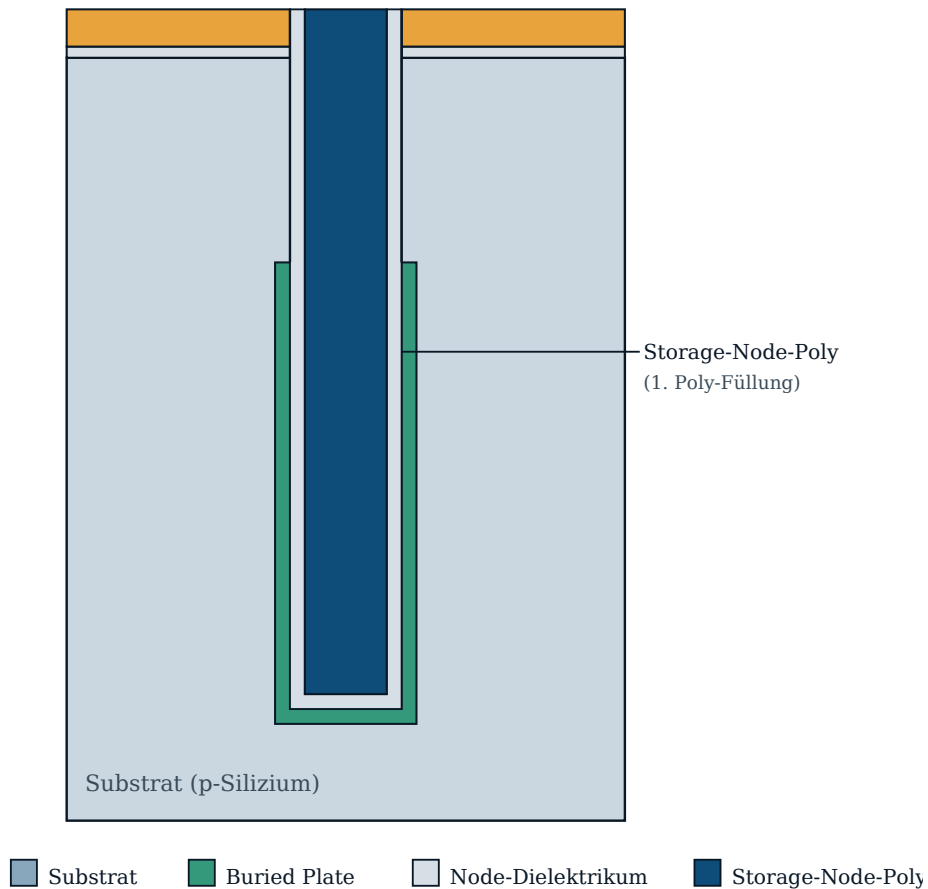
Schritt 4 – Node-Dielektrikum: Über die gesamte Grabentiefe wird nun eine wenige Nanometer dünne, konforme Dielektrikumsschicht abgeschieden – meist ein Nitrid-Oxid-Schichtstapel. Sie trennt die im nächsten Schritt folgende innere Elektrode von der Buried Plate und bestimmt zusammen mit der Grabenwandfläche maßgeblich die erreichbare Kapazität der Zelle.

Schritt 4: Node-Dielektrikum



Schritt 5 – Erste Poly-Füllung: Dotiertes Polysilizium füllt den verbleibenden Graben vollständig auf. Dieses „Storage-Node-Poly“ bildet zusammen mit dem Node-Dielektrikum und der Buried Plate den eigentlichen Kondensator: Die auf dem Poly gespeicherte Ladung repräsentiert den Zustand des gespeicherten Bits.

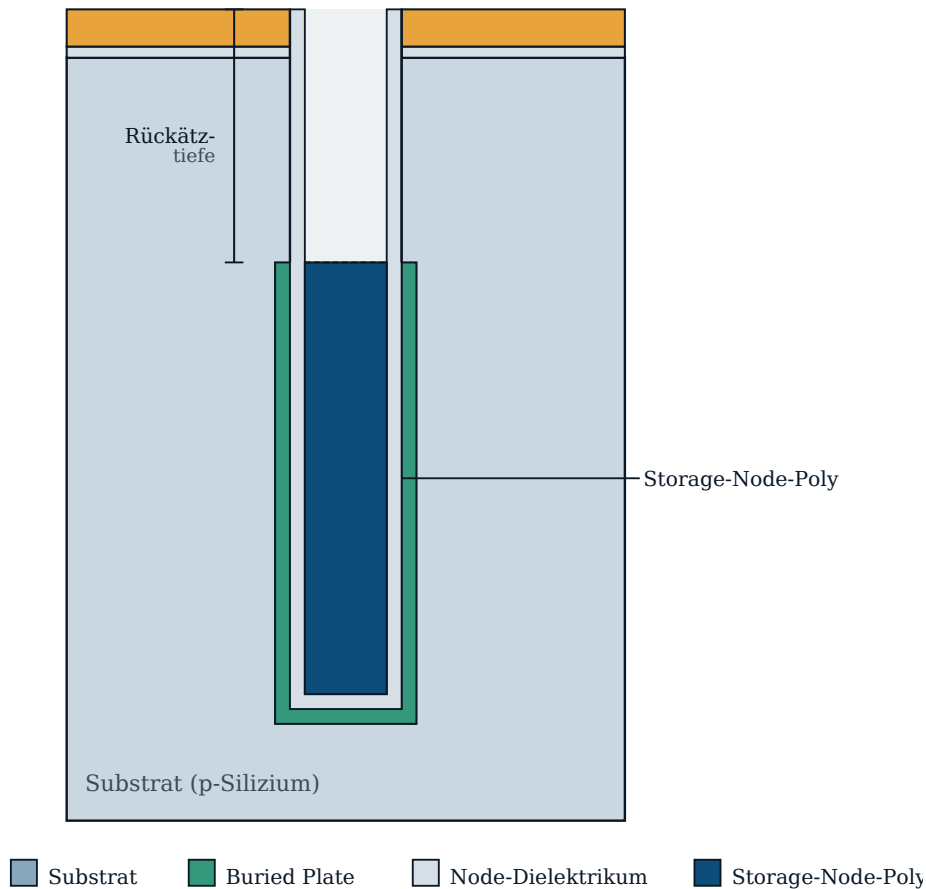
Schritt 5: Erste Poly-Füllung



Der obere Grabenbereich: Collar und Buried Strap

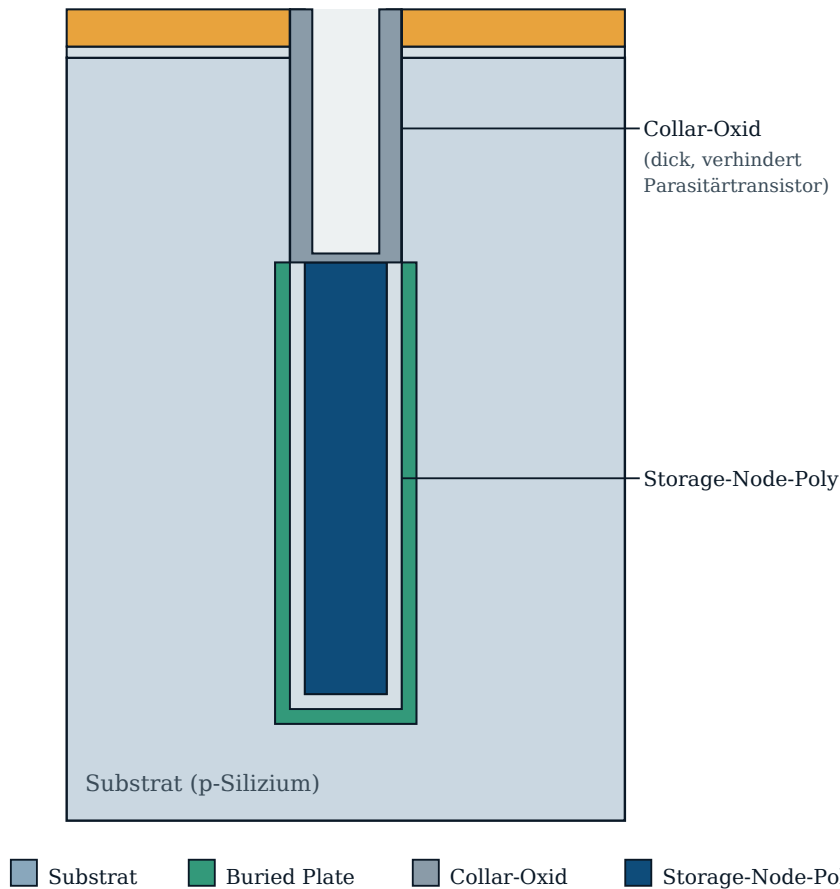
Schritt 6 - Poly-Rückätzung: Das Storage-Node-Poly wird gezielt zurückgeätzt, sodass es nur noch den unteren, von der Buried Plate umgebenen Grabenabschnitt ausfüllt. Der obere Grabenbereich – dort, wo später der Zugriffstransistor direkt neben dem Graben sitzen wird – bleibt zunächst wieder offen.

Schritt 6: Poly-Rückätzung



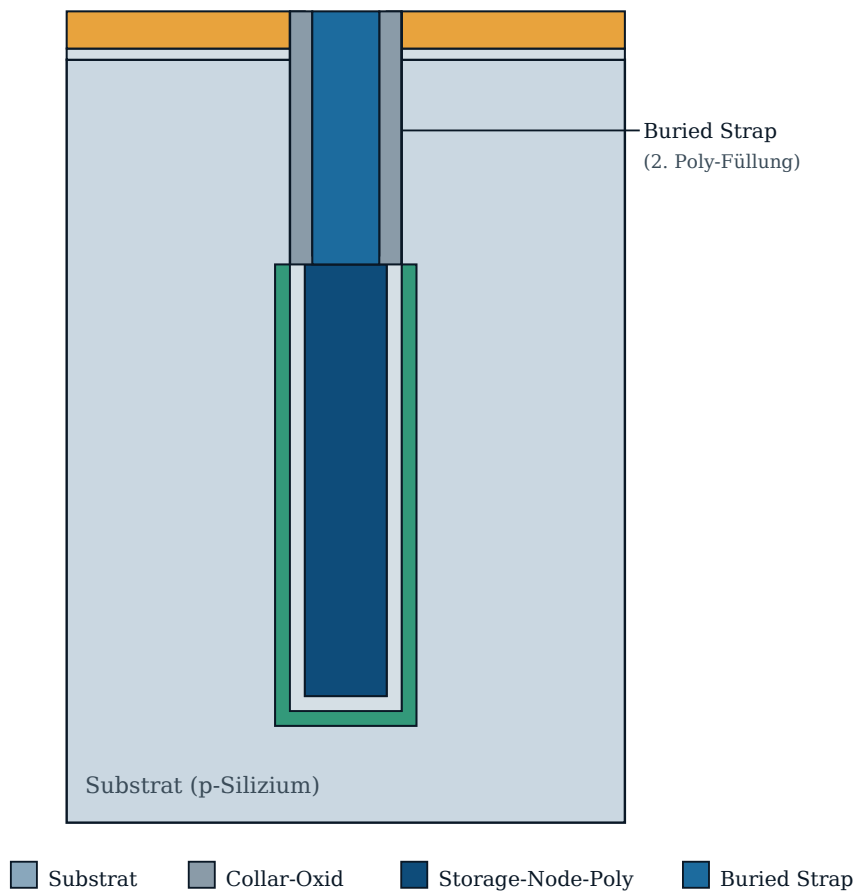
Schritt 7 – Collar-Oxid: Im freigelegten oberen Grabenabschnitt wird das dünne Node-Dielektrikum entfernt und durch eine deutlich dickere Oxidschicht ersetzt, den Collar. Ohne dieses dicke Oxid würde die spätere Wordline-Spannung entlang der oberen Grabenwand einen parasitären, ungewollten Transistor aufsteuern können, der Ladung am eigentlichen Zugriffstransistor vorbei abfließen ließe. Der Collar unterdrückt diesen Leckpfad zuverlässig.

Schritt 7: Collar-Oxid



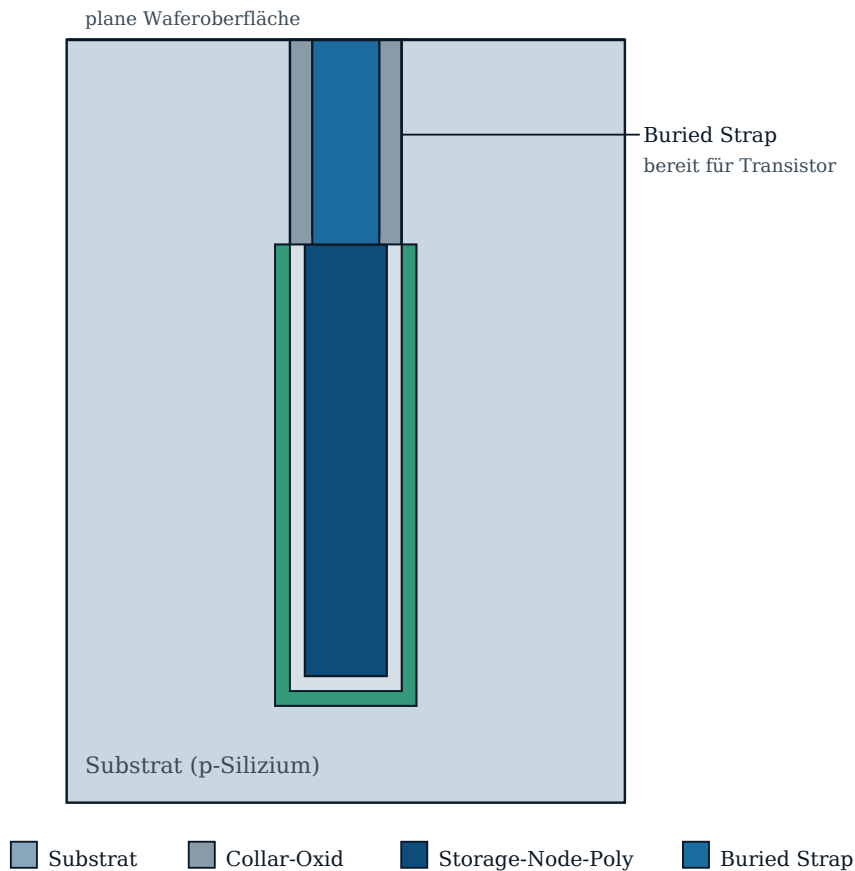
Schritt 8 - Buried Strap: Eine zweite Polysilizium-Abscheidung füllt den durch den Collar verengten oberen Grabenabschnitt vollständig auf. Dieser sogenannte Buried Strap stellt die elektrische Verbindung zwischen dem tief liegenden Storage-Node-Poly und der späteren Source/Drain-Diffusion des Zugriffstransistors an der Waferoberfläche her - ohne ihn bliebe der Kondensator vom Transistor elektrisch isoliert.

Schritt 8: Buried Strap



Schritt 9 – Planarisierung: Ein abschließender CMP- und Ätzschritt trägt überschüssiges Poly sowie die komplette Pad-Nitrid/Pad-Oxid-Hartmaske ab und stellt eine wieder nahezu plane Waferoberfläche her. Der Trench-Kondensator ist damit vollständig fertiggestellt und wartet, bündig mit der Substratoberfläche abschließend, auf den Zugriffstransistor – dessen Herstellung der nächste Abschnitt beschreibt.

Schritt 9: Planarisierung



Herstellung des Zugriffstransistors und der Verdrahtung

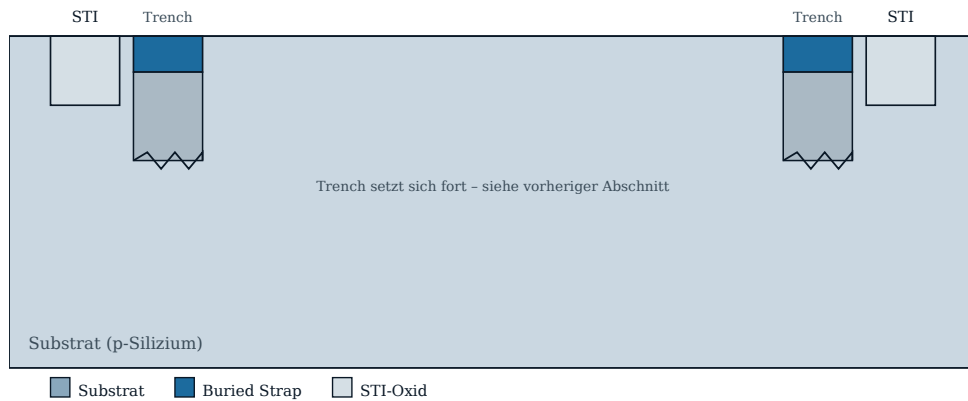
Zwei Zellen, ein gemeinsamer Bitline-Kontakt

Mit dem fertigen, planarisierten Trench-Kondensator aus dem vorigen Abschnitt kann die Fertigung dort weitermachen, wo ein gewöhnlicher Logikprozess beginnt: an einer nahezu ebenen Waferoberfläche. Die folgenden Diagramme zeigen ein typisches Zellenpaar – zwei benachbarte Trench-Kondensatoren, deren Zugriffstransistoren sich einen gemeinsamen Bitline-Kontakt in der Mitte teilen. Diese „gefaltete“ Anordnung spart einen Kontakt pro zwei Zellen und ist in der Trench-DRAM-Fertigung Standard.

Schritt 10 – Flachgraben-Isolation (STI): Am äußeren Rand jedes Zellenpaares trennt eine flache Grabenisolation (Shallow Trench Isolation) die aktive Fläche dieses Paares von der des nächsten. Anders als der tiefe Kondensator-Graben ist die STI nur wenige hundert Nanometer tief und rein oxidgefüllt – sie hat keine

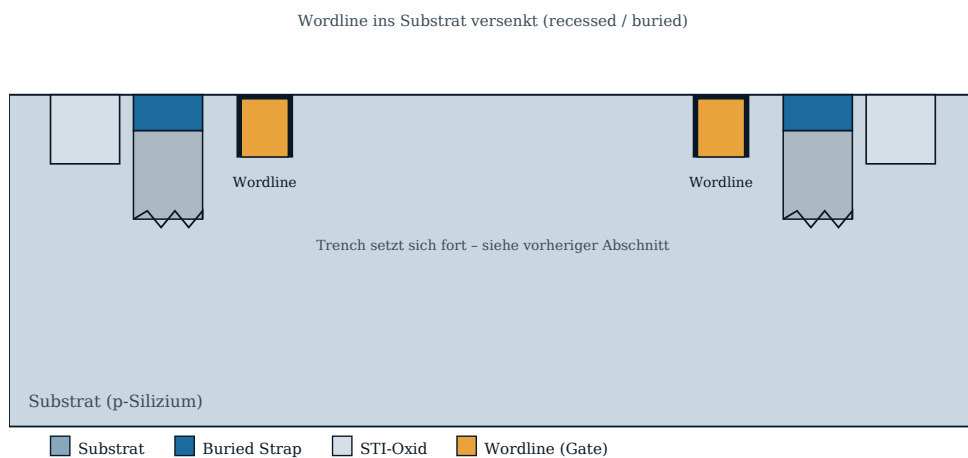
elektrische Funktion außer der Trennung benachbarter Bauelemente.

Schritt 10: Flachgraben-Isolation (STI)



Schritt 11 - Gate-Oxid und Buried Wordline: Zwischen jedem Trench und dem zukünftigen Bitline-Kontakt entsteht der Zugriffstransistor. Moderne Trench-Zellen versenken die Wordline als sogenannte Buried Wordline in eine flache Grube im Substrat, ausgekleidet mit dünnem Gate-Oxid. Der versenkte Aufbau verkürzt den effektiven Kanal nicht und erlaubt gleichzeitig eine deutlich kompaktere Zelle als eine klassische, auf der Oberfläche liegende Gate-Elektrode.

Schritt 11: Gate-Oxid und Buried Wordline



Schritt 12 - Source/Drain-Implantation: Eine flache N⁺-Implantation verbindet

die aktive Fläche durchgehend: vom Buried Strap des linken Trenches über den Kanal der linken Wordline zur Mitte, weiter über den Kanal der rechten Wordline bis zum Buried Strap des rechten Trenches. Jede Wordline schaltet damit den Strompfad zwischen „ihrem“ Trench-Kondensator und dem gemeinsamen Mittelknoten.

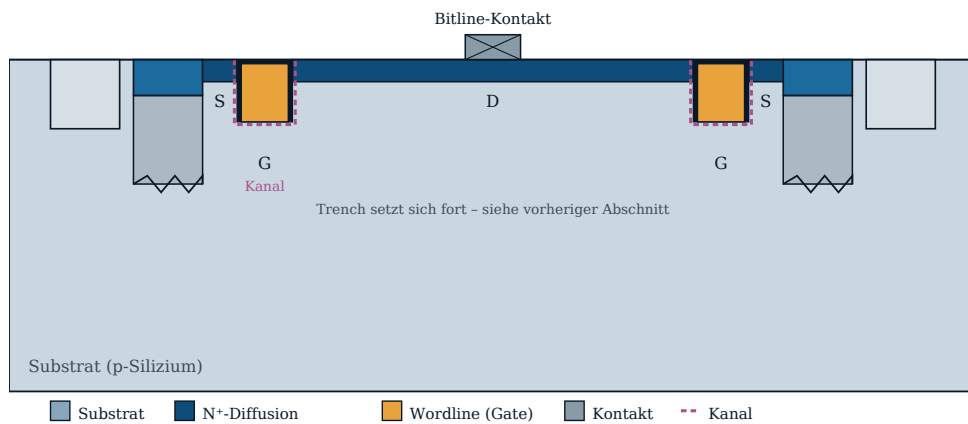
Schritt 12: Source/Drain-Implantation



Der Anschluss an die Verdrahtungsebenen

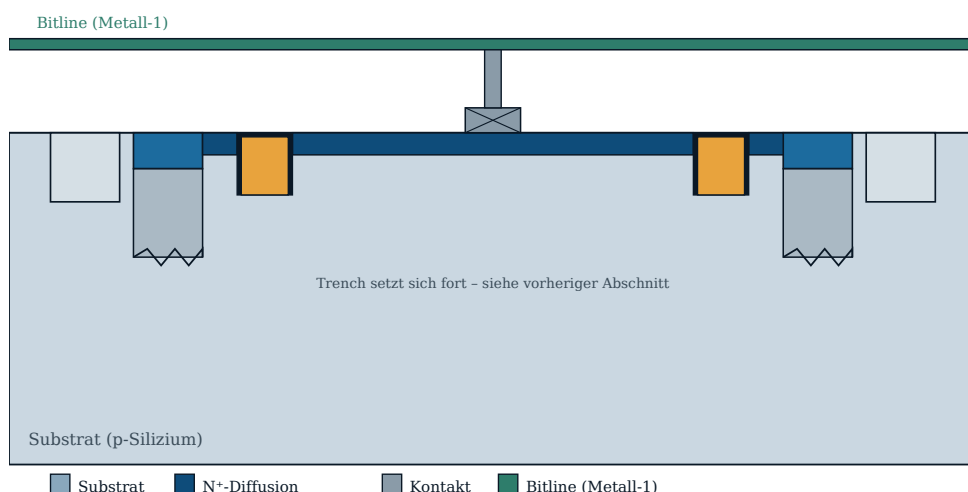
Schritt 13 - Bitline-Kontakt: Auf der gemeinsamen Diffusion in der Zellmitte wird ein Kontaktloch geöffnet und mit Metall gefüllt. Über diesen einen Kontakt greifen beide Zugriffstransistoren des Paares gemeinsam auf die Bitline zu - daher „gefaltete“ Zellanordnung. Das Diagramm zeigt an dieser Stelle beispielhaft alle drei Transistoranschlüsse (G, S, D) sowie den Kanalverlauf: Bei einer versenkten Wordline bildet sich der Kanal nicht flach unter dem Gate, sondern U-förmig entlang der Grabenwände und des Grabenbodens - dadurch wird der Strompfad trotz kompakter Zellfläche effektiv länger. Source und Drain sind hier der Übersichtlichkeit halber fest zugeordnet; elektrisch sind beide Diffusionsseiten symmetrisch und tauschen ihre Rolle je nach Betriebsrichtung.

Schritt 13: Bitline-Kontakt



Schritt 14 - Bitline-Metallisierung: Die erste Metalllage (Metall-1) verdrahtet den Bitline-Kontakt zu einer durchgehenden Leiterbahn, die sich über das gesamte Zellenfeld erstreckt und tausende Zellenpaare in derselben Spalte verbindet. Beim Auslesen einer Zelle vergleicht ein Leseverstärker die Spannung dieser Bitline mit einer Referenzspannung, um zu bestimmen, ob eine „1“ oder „0“ gespeichert war.

Schritt 14: Bitline-Metallisierung



Schritt 15 - Zwischenoxid und Kontakte: Ein Zwischenoxid (ILD) bettet die Bitline-Verdrahtung ein und stellt gleichzeitig die Isolationsschicht für zusätzliche Kontakte bereit – etwa für die Wordline-Anschlüsse außerhalb des eigentlichen Zellenfelds, wo die Wordlines in Treiberschaltungen münden. Ab hier folgt die Fertigung denselben Prinzipien wie jeder andere Logikprozess:

weitere Metalllagen, Vias und Kontakte, wie sie bereits im Kapitel „Schaltungslayouts“ beschrieben sind. Damit ist die DRAM-Zelle vollständig – vom tiefen Kondensator-Graben bis zur Anbindung an die erste Verdrahtungsebene.

Schritt 15: Zwischenoxid und Kontakte

