

Halbleitertechnologie von A bis Z

Digitaltechnik

Die DRAM-Zelle	3
<i>Ein Kondensator statt sechs Transistoren</i>	<i>3</i>
<i>Zugriffstransistor, Wortleitung und Bitleitung</i>	<i>3</i>
<i>Leckströme und der Ladungszerfall</i>	<i>4</i>
<i>Der Refresh-Zyklus</i>	<i>4</i>
<i>Der Sense Amplifier</i>	<i>5</i>
<i>DRAM und SRAM im Vergleich</i>	<i>5</i>

Die DRAM-Zelle

Ein Kondensator statt sechs Transistoren

Wo die SRAM-Zelle ihr Bit als stabilen Schaltzustand zweier rückgekoppelter Inverter hält, geht die DRAM-Zelle (Dynamic Random Access Memory) einen fundamental anderen Weg: Sie speichert die Information als elektrische Ladung auf einem einzelnen Kondensator. Ein einzelner NMOS-Transistor genügt, um diesen Kondensator gezielt mit der Bitleitung zu verbinden oder von ihr zu trennen – daher die Bezeichnung 1T1C-Zelle (ein Transistor, ein Kondensator).

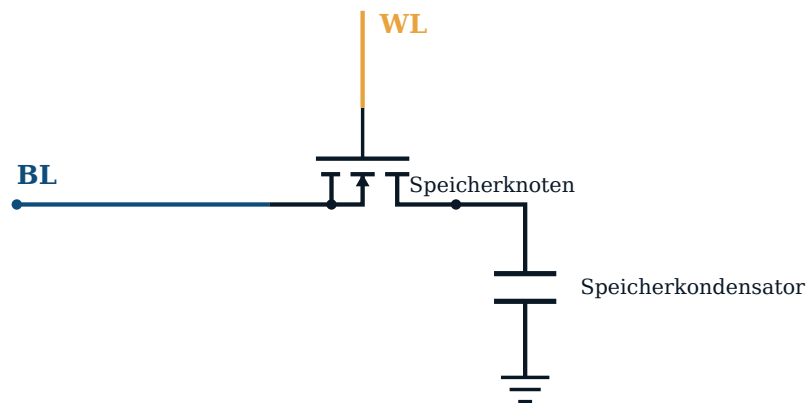
Diese radikale Reduktion auf zwei Bauelemente statt sechs macht DRAM erheblich dichter und günstiger pro Bit als SRAM – Hauptspeicher wird deshalb praktisch ausschließlich in DRAM ausgeführt. Der Preis dafür: Die gespeicherte Ladung ist nicht stabil. Sie fließt über parasitäre Leckpfade langsam ab, weshalb jede Zelle regelmäßig aufgefrischt werden muss, um den Inhalt nicht zu verlieren – daher „dynamisch“.

Zugriffstransistor, Wortleitung und Bitleitung

Wie bei der SRAM-Zelle übernehmen Wortleitung (WL) und Bitleitung (BL) die Ansteuerung – nur mit einem einzigen Zugriffstransistor statt zweien. Sein Gate liegt an der Wortleitung, sein Source-Drain-Pfad verbindet den Speicherkondensator mit der Bitleitung. Ist WL auf Low, sperrt der Transistor vollständig, und der Kondensator bleibt elektrisch isoliert – die gespeicherte Ladung kann (abgesehen von Leckströmen) nirgendwo hinfließen. Erst wenn WL aktiviert wird, öffnet der Zugriffstransistor und stellt die Verbindung zur Bitleitung her.

Zum Schreiben wird die Bitleitung von außen niederohmig auf den gewünschten Pegel getrieben, während WL aktiv ist – der Kondensator lädt oder entlädt sich entsprechend über den geöffneten Zugriffstransistor. Sobald WL wieder auf Low fällt, ist der Kondensator erneut isoliert und hält seine Ladung – vorerst.

Die DRAM-Zelle (1T1C)



Leckströme und der Ladungszerfall

Der Speicherkondensator einer DRAM-Zelle ist winzig – typischerweise nur wenige Femtofarad. Selbst kleinste Leckströme über den gesperrten Zugriffstransistor, über das Dielektrikum des Kondensators oder über den pn-Übergang zum Substrat genügen, um die gespeicherte Ladung innerhalb weniger Millisekunden signifikant abfließen zu lassen. Ohne Gegenmaßnahme würde der gespeicherte Wert schlicht verschwinden – ein Zustand, den keine noch so ausgeklügelte Schaltung tolerieren kann.

Genau dieses Ladungsproblem unterscheidet DRAM fundamental von SRAM: Während die rückgekoppelten Inverter einer SRAM-Zelle ihren Zustand aktiv gegen Störungen verteidigen, ist eine DRAM-Zelle rein passiv – sie kann ihren Inhalt nicht selbst erhalten.

Der Refresh-Zyklus

Um den Ladungsverlust auszugleichen, liest die Speichersteuerung jede Zelle in regelmäßigen Abständen aus und schreibt den erkannten Wert unmittelbar wieder zurück – ein Vorgang, der als Refresh bezeichnet wird. Typische DRAM-Bausteine müssen jede Zelle etwa alle 64 Millisekunden auffrischen, moderne dichte Zellen teils noch häufiger. Da ein einzelner Lesezugriff bereits eine ganze Zeile des Arrays gleichzeitig aktiviert, lässt sich der Refresh effizient zeilenweise durchführen, nicht Zelle für Zelle.

Dieser Refresh kostet Zeit und Energie: Während eine Zeile aufgefrischt wird,

steht sie für reguläre Lese- oder Schreibzugriffe nicht zur Verfügung. Bei sehr großen Speicherbausteinen mit Milliarden Zellen macht der Refresh-Overhead einen spürbaren Anteil der Gesamt-Bandbreite und -Leistungsaufnahme aus.

Der Sense Amplifier

Beim Lesen entlädt sich der winzige Speicherkondensator kurzzeitig über die Bitleitung, die zuvor auf ein Precharge-Mittelpotenzial vorgeladen wurde – die resultierende Spannungsänderung ist minimal, oft nur wenige zehn Millivolt. Ein Sense Amplifier am Ende jeder Bitleitung erkennt dieses winzige Signal und verstärkt es zu einem sauberen digitalen Pegel.

Diese Verstärkung erfüllt gleich zwei Aufgaben zugleich: Sie liefert nicht nur den gelesenen Wert nach außen, sondern treibt über die aktivierte Wortleitung auch den ursprünglichen Kondensator wieder auf seinen vollen Pegel zurück. Jeder Lesezugriff ist damit automatisch auch ein Refresh der gerade aktiven Zeile – anders als bei SRAM, wo Lesen den Zustand praktisch nicht beeinflusst, ist das Auslesen einer DRAM-Zelle destruktiv und macht dieses „Rewrite“ zwingend erforderlich.

DRAM und SRAM im Vergleich

Die grundlegend unterschiedlichen Speicherprinzipien führen zu sehr unterschiedlichen Eigenschaften, die jeweils für unterschiedliche Einsatzgebiete prädestinieren:

	SRAM	DRAM
Transistoren pro Bit	6	1 (+ 1 Kondensator)
Zellgröße	groß	sehr klein
Refresh nötig	Nein	Ja (~alle 64 ms)
Zugriffsgeschwindigkeit	sehr schnell	langsamer
Kosten pro Bit	hoch	niedrig
Typischer Einsatz	Cache, Register	Hauptspeicher (RAM)

In der Praxis ergänzen sich beide daher: schnelle, aber teure SRAM-Zellen in den Cache-Ebenen nahe am Prozessorkern, dichte und günstige DRAM-Zellen für den großvolumigen Hauptspeicher.