

Halbleitertechnologie von A bis Z

Verbindungshalbleiter

SiC-Leistungsbaulemente	3
<i>Der SiC-Leistungs-MOSFET</i>	3
<i>Die SiC-Schottky-Diode</i>	3
<i>Trench- vs. Planar-SiC-MOSFET</i>	3
<i>Die SiC/SiO₂-Grenzfläche als Herausforderung</i>	4

SiC-Leistungsbaulemente

Der SiC-Leistungs-MOSFET

Der SiC-Leistungs-MOSFET übernimmt die planare DMOS-Grundstruktur des Silizium-Pendants (siehe Grundlagen-Kapitel „Der MOSFET“), nutzt aber die viel höhere Durchbruchfeldstärke von SiC, um die Driftzone bei gleicher Sperrspannung deutlich dünner und höher dotiert auszuliegen. Das senkt den spezifischen Durchlasswiderstand $R_{on} \cdot A$ um mehr als eine Größenordnung gegenüber einem vergleichbaren Si-MOSFET – bei gleichzeitig höherer zulässiger Sperrspannung (600 V bis über 3,3 kV) und deutlich geringerer Chipfläche pro Ampere.

Die SiC-Schottky-Diode

Eine Si-pn-Diode braucht beim Abschalten Zeit, um die im Durchlass gespeicherte Minoritätsladung auszuräumen – die sogenannte Reverse-Recovery-Zeit, die Schaltverluste verursacht und mit steigender Frequenz stärker ins Gewicht fällt. Eine SiC-Schottky-Diode ist dagegen ein reines Majoritätsträgerbauelement: Es gibt praktisch keine gespeicherte Ladung und damit nahezu keinen Reverse-Recovery-Strom. Möglich wird das erst durch SiC, weil die hohe Durchbruchfeldstärke auch bei Schottky-Kontakten hohe Sperrspannungen bei akzeptablem Durchlassverlust erlaubt – mit Silizium wären Schottky-Dioden nur bis wenige hundert Volt praktikabel.

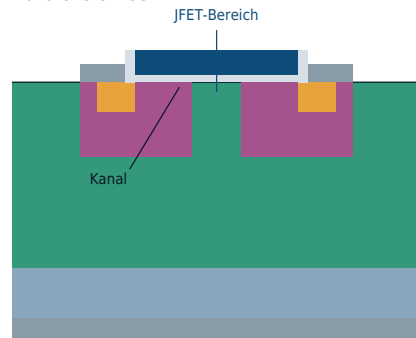
Trench- vs. Planar-SiC-MOSFET

Beim planaren SiC-MOSFET liegt der Kanal horizontal an der Waferoberfläche, ähnlich wie beim Si-DMOS. Trench-SiC-MOSFETs verlegen den Kanal stattdessen an die vertikale Wand eines geätzten Grabens. Das vermeidet den JFET-Widerstand der planaren Struktur (die Einschnürung zwischen zwei benachbarten p-Wannen) und erhöht die Kanaldichte – auf Kosten einer komplexeren Fertigung und höherer Anforderungen an die Feldabschirmung am Grabenboden, wo sonst lokal überhöhte elektrische Felder die Gate-Oxid-Zuverlässigkeit gefährden würden.

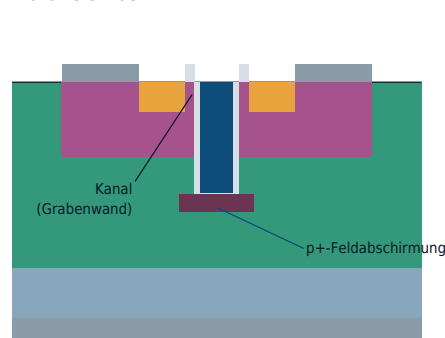
Trench- vs. Planar-SiC-MOSFET

Zwei Wege, den Kanal zu bilden

Planarer SiC-MOSFET



Trench-SiC-MOSFET



n-Epitaxie (Driftzone)	n+-Substrat	p-Wanne	n+-Source
Gate-Oxid	Poly-Gate	Source-/Drain-Metall	p+-Feldabschirmung

Beim planaren MOSFET verengt die p-Wanne den Stromfluss im JFET-Bereich zwischen den Wannen.

Der Trench-MOSFET vermeidet diesen JFET-Widerstand, braucht dafür eine Feldabschirmung am Grabenboden.

Die SiC/SiO₂-Grenzfläche als Herausforderung

Anders als bei Silizium bleibt bei der thermischen Oxidation von SiC ein Teil des Kohlenstoffs als Grenzflächendefekte zurück. Diese erhöhte Defektdichte an der SiC/SiO₂-Grenzfläche reduziert die effektive Kanalbeweglichkeit der Elektronen auf einen Bruchteil des Volumenwerts – ein zentraler Grund, warum SiC-MOSFETs trotz besserer Materialkennwerte lange hinter ihrem theoretischen Potenzial zurückblieben. Prozessverbesserungen wie NO- oder N₂O-Nachoxidations-Anlagerung (Stickstoffpassivierung) haben die Grenzflächenqualität und damit die Kanalbeweglichkeit in den letzten Jahren deutlich verbessert.