

Halbleitertechnologie von A bis Z

Advanced Packaging / 3D-Integration

Grenzen der klassischen Integration	3
<i>Warum „More Moore“ an Grenzen stößt</i>	<i>3</i>
<i>„More than Moore“ als Alternative</i>	<i>3</i>
<i>Einordnung zu klassischem Wire-Bonding und Flip-Chip</i>	<i>3</i>

Grenzen der klassischen Integration

Warum „More Moore“ an Grenzen stößt

Über Jahrzehnte folgte die Halbleiterindustrie dem Mooreschen Gesetz: Alle 18–24 Monate verdoppelte sich die Anzahl der Transistoren pro Chip, primär durch Verkleinerung der Strukturbreiten. Mit Strukturgrößen im einstelligen Nanometerbereich stößt diese Skalierung jedoch an physikalische und ökonomische Grenzen. Leckströme steigen durch Kurzkanaleffekte, die Lithografiekosten pro Belichtungsschritt explodieren (EUV-Anlagen kosten teils über 200 Millionen Euro), und die Ausbeute (Yield) sinkt bei großflächigen monolithischen Chips überproportional, da die Wahrscheinlichkeit eines Defekts mit der Chipfläche wächst.

Gleichzeitig verlangt die Nachfrage nach Rechenleistung – getrieben etwa durch KI-Beschleuniger – nach immer mehr Transistoren pro System. Die Antwort der Industrie liegt zunehmend nicht mehr in kleineren Transistoren, sondern in einer intelligenteren Anordnung und Verbindung mehrerer Chips: Advanced Packaging.

„More than Moore“ als Alternative

Anstatt sämtliche Funktionen eines Systems auf einem einzigen monolithischen Die zu integrieren, werden einzelne Funktionsblöcke – Prozessorkerne, Speicher, I/O, analoge Schaltungen – auf separaten, oft in unterschiedlichen Technologien gefertigten Chips realisiert und anschließend eng gekoppelt zu einem Gesamtsystem zusammengeführt. Man spricht von heterogener Integration. Diese Strategie erlaubt es, jeden Baustein in der für ihn optimalen und kostengünstigsten Technologie zu fertigen (z. B. Logik in 3 nm, Speicher in einem älteren, günstigeren Knoten), anstatt Kompromisse für einen einzigen Fertigungsprozess einzugehen.

Die Herausforderung verlagert sich damit vom Transistor auf die Verbindungstechnik zwischen den Chips – von der Frage „Wie klein kann ein Transistor werden?“ zur Frage „Wie dicht und wie schnell lassen sich zwei Dies miteinander verbinden?“

Einordnung zu klassischem Wire-Bonding und Flip-Chip

Die in den Kapiteln zur Montage behandelten Verfahren – Wire-Bonding und Flip-Chip – verbinden jeweils einen einzelnen Die mit einem Gehäuse oder Substrat. Die elektrischen Verbindungen liegen dabei am Rand oder auf der

Chipoberfläche und sind in ihrer Dichte begrenzt: Wire-Bonds erreichen typischerweise einen Pitch (Abstand zwischen benachbarten Verbindungen) von 40–50 μm , Flip-Chip-Bumps liegen im Bereich von 100–150 μm .

Advanced-Packaging-Verfahren wie TSV, Interposer und Hybrid Bonding (Gegenstand der folgenden Kapitel) erreichen Verbindungsdichten, die um Größenordnungen darüber liegen – bis in den Sub-Mikrometer-Bereich. Erst dadurch wird es möglich, mehrere Dies so eng zu koppeln, dass sie sich elektrisch nahezu wie ein einziger, monolithischer Chip verhalten.