

Halbleitertechnologie von A bis Z

Advanced Packaging / 3D-Integration

Through-Silicon Via (TSV)	3
<i>Das Prinzip</i>	3
<i>Herstellungsprozess</i>	3
<i>Isolation und Cu-Füllung</i>	3
<i>Herausforderungen beim Aspektverhältnis</i>	4

Through-Silicon Via (TSV)

Das Prinzip

Ein Through-Silicon Via ist eine vertikale, elektrisch leitfähige Verbindung, die komplett durch das Silicium-Substrat eines Dies hindurchgeführt wird. Anders als klassische Verdrahtungsebenen, die ausschließlich auf der Chipoberfläche liegen, erschließt das TSV die dritte Dimension: Signale und Versorgungsspannungen können von der Vorderseite eines Dies direkt zur Rückseite – und damit zum nächsten gestapelten Die – geführt werden, ohne den Umweg über Bond-Drähte am Chiprand.

Herstellungsprozess

Der Prozess gliedert sich grob in drei Schritte, die sich durch den Zeitpunkt der Via-Erzeugung relativ zur restlichen Fertigung unterscheiden:

- Via-first: Das TSV wird vor der Transistorfertigung in den nackten Wafer geätzt. Dieser Ansatz erlaubt hochtemperaturstabile Füllmaterialien wie polykristallines Silicium, ist aber mit modernen CMOS-Prozessen schwer vereinbar.
- Via-middle: Das TSV entsteht nach der Transistorfertigung (FEOL), aber vor der Metallisierung (BEOL). Dies ist heute der industriell dominante Ansatz, da er die etablierte Transistorfertigung unangetastet lässt.
- Via-last: Das TSV wird erst nach vollständiger Chipfertigung, teils sogar von der Waferrückseite aus, geätzt. Vorteil ist die vollständige Entkopplung von der Vorderseiten-Prozessierung.

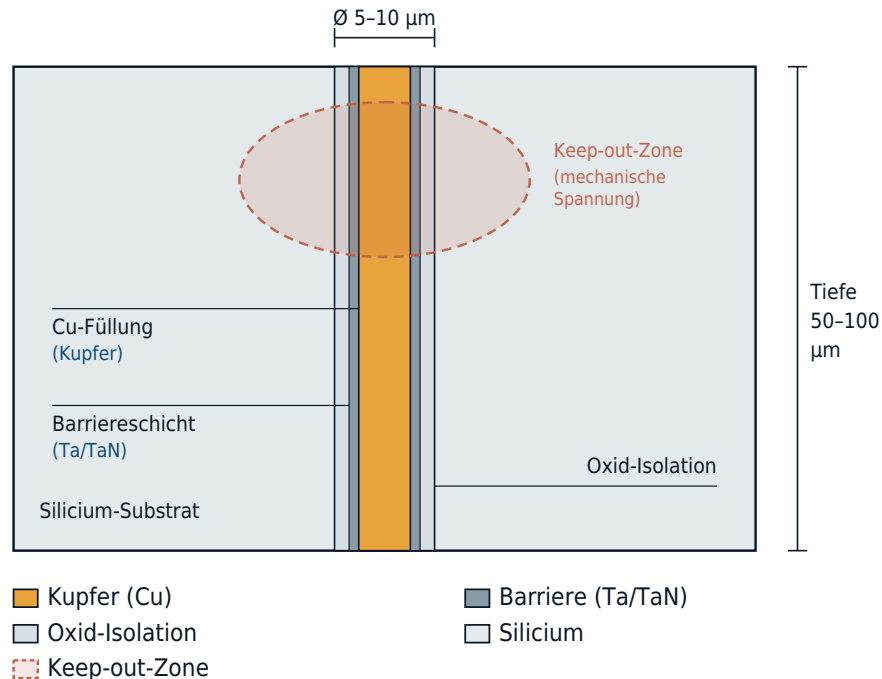
Das eigentliche Via wird mittels Deep Reactive Ion Etching (Bosch-Prozess, siehe Trockenätzen-Kapitel) geätzt und erreicht dabei Aspektverhältnisse von 10:1 oder höher – typische Durchmesser liegen bei 5–10 µm, bei Tiefen von 50–100 µm.

Isolation und Cu-Füllung

Da das umgebende Silicium selbst halbleitend ist, muss die Via-Wand zunächst mit einer dünnen Oxidschicht (meist per PECVD, siehe Abscheidung-Kapitel) elektrisch isoliert werden. Anschließend folgt eine Barrierschicht (typischerweise Ta/TaN), die die Diffusion von Kupfer in das Silicium verhindert – dieselbe Problematik wie bei der Kupfermetallisierung (siehe Kupfertechnologie-Kapitel). Erst danach wird das Via elektrochemisch mit Kupfer aufgefüllt.

Aufbau einer TSV im Querschnitt

Der Aufbau eines Through-Silicon Via (TSV)
Querschnitt durch ein gefülltes Via im Silicium-Substrat



Herausforderungen beim Aspektverhältnis

Je höher das Aspektverhältnis, desto schwieriger die vollständige, void-freie Kupferfüllung – ähnlich der Spaltfüllungsproblematik bei CVD-Verfahren, nur in deutlich größerem Maßstab. Zusätzlich erzeugt das eingefüllte Kupfer aufgrund seines gegenüber Silicium stark abweichenden thermischen Ausdehnungskoeffizienten mechanische Spannungen im umgebenden Material, die die Transistor-Performance in unmittelbarer TSV-Nähe beeinträchtigen können („Keep-out Zone“).