

Halbleitertechnologie von A bis Z

Advanced Packaging / 3D-Integration

2.5D-Integration: Der Interposer	3
<i>Das Grundprinzip</i>	3
<i>Silizium- vs. organischer Interposer</i>	3
<i>Redistribution Layer (RDL)</i>	3
<i>Beispiel: HBM auf Interposer</i>	3

2.5D-Integration: Der Interposer

Das Grundprinzip

Bei der 2.5D-Integration werden mehrere fertig prozessierte Dies nicht direkt übereinandergestapelt, sondern nebeneinander auf einem gemeinsamen Trägersubstrat – dem Interposer – platziert. Der Interposer selbst enthält keine aktiven Transistoren, sondern dient ausschließlich als hochdichte Verdrahtungsebene, die die einzelnen Dies untereinander sowie mit dem darunterliegenden Package-Substrat verbindet. Der Name „2.5D“ verweist darauf, dass hier zwar eine zusätzliche vertikale Ebene hinzukommt, die eigentliche Chip-Integration aber weiterhin lateral (nebeneinander) erfolgt.

Silizium- vs. organischer Interposer

- Silizium-Interposer: Gefertigt aus einem Silicium-Wafer, durchsetzt mit TSVs zur Durchkontaktierung und mehreren Metallisierungslagen (RDL, siehe unten) auf der Oberseite. Silizium erlaubt sehr feine Verdrahtungsstrukturen (Sub-Mikrometer-Pitch), ist aber vergleichsweise teuer in der Herstellung und in der Fläche begrenzt (typischerweise auf die Größe eines Reticles bei der Belichtung).
- Organischer Interposer: Basiert auf Leiterplattenmaterialien ähnlich klassischer PCB-Technik, deutlich kostengünstiger und großflächiger herstellbar, erreicht jedoch nur gröbere Verdrahtungsdichten.

Redistribution Layer (RDL)

Die Redistribution Layer ist eine zusätzliche Metallisierungsebene auf dem Interposer (oder direkt auf einem Die), die die vergleichsweise grob gerasterten Kontaktflächen eines Chips auf die viel feineren Anschlussstrukturen des Interposers „umverteilt“ – daher der Name. RDL-Strukturen werden mit ähnlichen Lithografie- und Kupfertechnologien gefertigt wie die BEOL-Verdrahtung eines regulären Chips, jedoch mit gröberen Strukturbreiten und dickeren Leiterbahnen, da hier eher Stromtragfähigkeit als maximale Dichte im Vordergrund steht.

Beispiel: HBM auf Interposer

Das prominenteste Anwendungsbeispiel ist die Kopplung eines Logik-Dies (z. B. GPU) mit mehreren High-Bandwidth-Memory-Stapeln auf einem gemeinsamen Silizium-Interposer. Die extrem kurzen, dichten Verbindungswege über den

Interposer ermöglichen Speicherbandbreiten, die über klassische Leiterplattenverdrahtung nicht erreichbar wären (vertiefte Behandlung in Kapitel 6).

Interposer mit Logik-Die und HBM-Stack

2.5D-Integration: Interposer mit Logik-Die und HBM-Stack
Seitenschnitt eines gemeinsamen Silizium-Interposers

