

Halbleitertechnologie von A bis Z

Advanced Packaging / 3D-Integration

Chiplets & heterogene Integration	3
<i>Disaggregation von SoCs</i>	3
<i>Vorteile: Yield und Kosten</i>	3
<i>Nachteile: Interconnect-Overhead</i>	4
<i>Standardisierung: UCle</i>	4

Chiplets & heterogene Integration

Disaggregation von SoCs

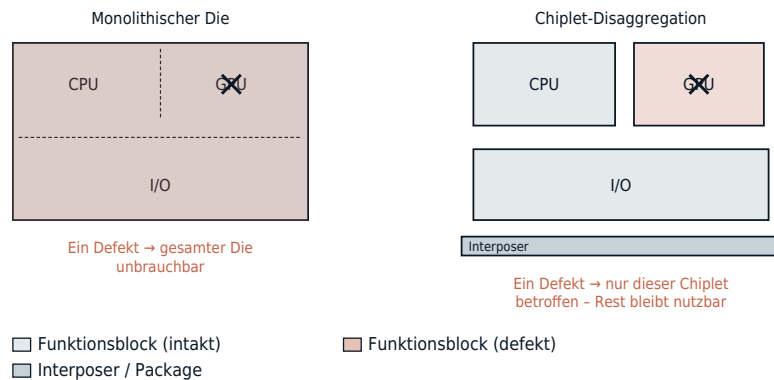
Ein klassisches System-on-Chip (SoC) integriert sämtliche Funktionsblöcke – CPU-Kerne, GPU, I/O-Controller, Speicherinterfaces – auf einem einzigen monolithischen Die. Der Chiplet-Ansatz zerlegt dieses SoC gezielt in mehrere kleinere, funktional abgegrenzte Dies („Disaggregation“), die anschließend über die in den vorherigen Kapiteln beschriebenen Advanced-Packaging-Verfahren (Interposer, Hybrid Bonding) wieder zu einem funktional zusammenhängenden System zusammengeführt werden.

Vorteile: Yield und Kosten

Der zentrale Vorteil liegt in der Fertigungsausbeute: Da die Defektwahrscheinlichkeit eines Chips überproportional mit seiner Fläche wächst, sinkt die Ausbeute eines großen monolithischen Dies drastisch schneller als die mehrerer kleiner Dies gleicher Gesamtfläche. Ein defekter kleiner Chiplet-Baustein wird verworfen, während der Rest des Systems weiterverwendet werden kann – bei einem monolithischen Chip führt derselbe Defekt zum Totalausfall. Zusätzlich lässt sich, wie in Kapitel 1 angesprochen, jeder Chiplet-Baustein im für ihn wirtschaftlich und technisch optimalen Fertigungsknoten produzieren, statt den gesamten Chip auf den teuersten benötigten Prozess festzulegen.

Auswirkung eines Defekts: monolithischer Die vs. Chiplet-Disaggregation

Monolithischer Die vs. Chiplet-Disaggregation Auswirkung eines Fertigungsdefekts auf die Ausbeute



Nachteile: Interconnect-Overhead

Diesen Vorteilen steht ein Nachteil gegenüber: Die Verbindung zwischen Chiplets – selbst über dichteste Advanced-Packaging-Verfahren – weist höhere Latenz und höheren Energieverbrauch pro übertragenem Bit auf als eine on-Chip-Verdrahtung innerhalb eines monolithischen Dies. Systemarchitekten müssen daher sorgfältig abwägen, welche Funktionsblöcke eng genug gekoppelt sind, um von monolithischer Integration zu profitieren, und welche sich für eine Trennung in separate Chiplets eignen.

Standardisierung: UCIE

Damit Chiplets unterschiedlicher Hersteller in einem gemeinsamen System kombiniert werden können, braucht es standardisierte physikalische und protokollseitige Schnittstellen. Der Industriestandard Universal Chiplet Interconnect Express (UCIE) definiert hierfür sowohl die elektrische Schicht (Signalpegel, Pitch, Bump-Anordnung) als auch das Übertragungsprotokoll, mit dem Ziel, einen herstellerunabhängigen „Chiplet-Marktplatz“ analog zur heutigen Standard-IC-Beschaffung zu ermöglichen.