

Halbleitertechnologie von A bis Z

Advanced Packaging / 3D-Integration

Anwendungsfelder & Ausblick	3
<i>HBM als Paradebeispiel</i>	<i>3</i>
<i>KI-Beschleuniger</i>	<i>3</i>
<i>Foundry-Vergleich</i>	<i>3</i>
<i>Ausblick</i>	<i>3</i>

Anwendungsfelder & Ausblick

HBM als Paradebeispiel

High Bandwidth Memory ist die konsequenteste kommerzielle Umsetzung der in diesem Abschnitt behandelten Technologien: Mehrere DRAM-Dies (siehe DRAM-Zelle-Kapitel) werden mittels TSV und Wafer-to-Wafer- bzw. Die-to-Wafer-Bonding zu einem vertikalen Stapel von acht, zwölf oder mehr Lagen verbunden und anschließend über einen Silizium-Interposer mit einem Logik-Die gekoppelt. Die daraus resultierende Speicherbandbreite übersteigt die klassischer, planar auf der Leiterplatte verdrahteter DRAM-Module um ein Vielfaches, bei gleichzeitig deutlich geringerem Energieverbrauch pro übertragenem Bit.

KI-Beschleuniger

Moderne KI-Trainingsbeschleuniger sind der Haupttreiber der beschriebenen Packaging-Technologien: Sie kombinieren typischerweise mehrere Logik-Chiplets mit umgebenden HBM-Stapeln auf einem gemeinsamen Interposer, um sowohl die für KI-Workloads kritische Speicherbandbreite als auch die Rechendichte zu maximieren, ohne auf einen einzigen, unwirtschaftlich großen monolithischen Die angewiesen zu sein.

Foundry-Vergleich

Verschiedene Foundries haben eigene Markennamen für ihre Advanced-Packaging-Plattformen etabliert, die die in diesem Abschnitt beschriebenen Grundprinzipien – Interposer, TSV, Hybrid Bonding – jeweils unterschiedlich kombinieren und vermarkten. Diese Plattformen unterscheiden sich unter anderem in der Wahl von Silizium- versus organischem Interposer, dem unterstützten Aspektverhältnis der TSVs und der maximalen Anzahl kombinierbarer Dies.

Ausblick

Der Trend geht klar zu immer engerer, immer feiner aufgelöster 3D-Integration – von TSV-basierten Stapeln hin zu Hybrid Bonding mit stetig sinkendem Pitch. Gleichzeitig bleiben thermische Ableitung und Kosten die limitierenden Faktoren, weshalb Advanced Packaging heute weniger ein reiner Ersatz für, sondern eine notwendige Ergänzung zu klassischer Transistorskalierung darstellt.