

# **Halbleitertechnologie von A bis Z**

Analog-/Mixed-Signal-Design

|                                                              |   |
|--------------------------------------------------------------|---|
| <b>ADC-Architekturen</b> .....                               | 3 |
| <i>Grundlagen: Abtastung, Quantisierung, Auflösung</i> ..... | 3 |
| <i>SAR-ADC (Successive Approximation Register)</i> .....     | 3 |
| <i>Pipeline-ADC</i> .....                                    | 3 |
| <i>Sigma-Delta-ADC</i> .....                                 | 4 |
| <i>Flash-ADC</i> .....                                       | 4 |
| <i>Vergleich &amp; Anwendungsbereiche</i> .....              | 5 |

# ADC-Architekturen

---

## Grundlagen: Abtastung, Quantisierung, Auflösung

Ein Analog-Digital-Wandler (ADC, Analog-to-Digital Converter) überführt ein zeitkontinuierliches, wertkontinuierliches Signal in eine Folge diskreter Zahlenwerte. Dieser Prozess besteht aus zwei getrennten Schritten: der Abtastung (Sampling) in der Zeit und der Quantisierung der Amplitude.

Nach dem Nyquist-Shannon-Abtasttheorem muss die Abtastfrequenz mindestens doppelt so hoch sein wie die höchste im Signal enthaltene Frequenzkomponente, um das Signal ohne Informationsverlust rekonstruieren zu können. Andernfalls entstehen durch Aliasing nicht mehr unterscheidbare Spiegelfrequenzen – in der Praxis wird dem ADC daher meist ein analoger Anti-Aliasing-Filter vorgeschaltet.

Die Quantisierung rundet den abgetasteten Spannungswert auf den nächstgelegenen von  $2^N$  darstellbaren Codes (bei N Bit Auflösung). Die dabei unvermeidliche Differenz ist der Quantisierungsfehler, der sich als Quantisierungsrauschen im Ausgangssignal äußert. Wichtige Kenngrößen zur Bewertung realer Wandler sind SNR (Signal-Rausch-Verhältnis), SFDR (Störfreier Dynamikbereich) und ENOB (Effective Number of Bits) – die tatsächlich nutzbare Auflösung unter Berücksichtigung von Rauschen und Verzerrung.

## SAR-ADC (Successive Approximation Register)

Der SAR-ADC wandelt einen abgetasteten Spannungswert über eine binäre Suche in einen digitalen Code um. Ein internes Register testet dabei bitweise, beginnend beim höchstwertigen Bit (MSB), ob der jeweilige Code-Wert über oder unter der Eingangsspannung liegt, und verwendet dazu einen internen DAC zur Erzeugung der Vergleichsspannung sowie einen Komparator zur Entscheidung.

Für eine Auflösung von N Bit benötigt die Wandlung genau N Vergleichstakte – die Wandlungsgeschwindigkeit skaliert damit linear mit der Auflösung. SAR-ADCs zeichnen sich durch geringen Flächenbedarf, niedrigen Leistungsverbrauch und moderate bis hohe Auflösung (typisch 8-18 Bit) bei mittleren Abtastraten (kHz bis wenige 10-MHz-Bereich) aus und sind die heute am häufigsten eingesetzte ADC-Architektur in Mixed-Signal-ICs.

## Pipeline-ADC

Der Pipeline-ADC teilt die Wandlung auf mehrere hintereinandergeschaltete Stufen auf. Jede Stufe wandelt einige wenige Bits mit einem einfachen Flash-Sub-ADC, rekonstruiert daraus über einen internen DAC ein Referenzsignal, bildet die Differenz zum Eingangssignal (Residuum) und verstärkt dieses Residuum für die nächste Stufe (Multiplying DAC, MDAC).

Da alle Stufen gleichzeitig an unterschiedlichen Abtastwerten arbeiten (Pipelining), erreicht diese Architektur deutlich höhere Durchsatzraten als ein SAR-ADC bei vergleichbarer Auflösung – typisch 8–16 Bit bei Abtastraten im 10-MHz- bis GHz-Bereich. Nachteilig sind die durch die Pipeline-Stufen bedingte Latenz sowie der höhere Flächen- und Leistungsbedarf gegenüber dem SAR-ADC.

## Sigma-Delta-ADC

Der Sigma-Delta-ADC (auch Delta-Sigma-ADC) verfolgt einen grundlegend anderen Ansatz: Anstatt hoher Amplitudenauflösung pro Abtastwert nutzt er starkes Überabtasten (Oversampling, typisch 32–256-fache Nyquist-Rate) in Kombination mit einem rückgekoppelten Sigma-Delta-Modulator. Dieser besteht im Kern aus einem Integrator, einem groben (oft 1-Bit-)Quantisierer und einer Rückkopplung über einen DAC in den Signalpfad.

Durch die Rückkopplung wird das Quantisierungsrauschen gezielt zu höheren Frequenzen verschoben (Noise Shaping) und anschließend durch einen digitalen Tiefpassfilter (Dezimationsfilter) wieder entfernt, der gleichzeitig die hohe Abtastrate auf die eigentliche Nyquist-Rate reduziert. Sigma-Delta-ADCs erreichen dadurch sehr hohe effektive Auflösungen (bis über 24 Bit) bei niedrigen bis moderaten Bandbreiten und sind Standard in Präzisionsmesstechnik, Audio und Sensorik.

## Flash-ADC

Der Flash-ADC ist die schnellste, aber auch aufwendigste ADC-Architektur: Die Eingangsspannung wird parallel mit  $2^N - 1$  Referenzspannungen verglichen, die über eine Widerstandskette aus der Referenzspannung abgeleitet werden. Ein nachgeschalteter Prioritätsencoder wandelt das resultierende Thermometer-Code-Muster der Komparatoren in einen Binärcode um.

Da die Wandlung in einem einzigen Taktzyklus erfolgt, erreicht der Flash-ADC die höchsten verfügbaren Abtastraten (mehrere GHz). Der exponentiell mit der Auflösung wachsende Aufwand an Komparatoren begrenzt die praktische Auflösung jedoch meist auf 6–8 Bit. Flash-ADCs werden daher vor allem in

Hochgeschwindigkeitsanwendungen eingesetzt, oft auch als schnelle Sub-ADC-Stufe innerhalb eines Pipeline-ADCs.

## Vergleich & Anwendungsbereiche

| <b>Architektur</b> | <b>Typ. Auflösung</b> | <b>Typ. Abtastrate</b> | <b>Typische Anwendung</b>                          |
|--------------------|-----------------------|------------------------|----------------------------------------------------|
| SAR                | 8-18 Bit              | kHz - ca. 50 MHz       | Universell, Sensorik, Mixed-Signal-SoCs            |
| Pipeline           | 8-16 Bit              | 10 MHz - GHz           | Kommunikationstechnik, Video, HF-Empfänger         |
| Sigma-Delta        | bis >24 Bit           | Hz - wenige MHz        | Präzisionsmesstechnik, Audio, Sensorik             |
| Flash              | 6-8 Bit               | >1 GHz                 | Hochgeschwindigkeits-Digitalisierung, Oszilloskope |

Die Wahl der Architektur ist stets ein Kompromiss zwischen Auflösung, Geschwindigkeit, Flächenbedarf und Leistungsaufnahme. In modernen SoCs werden je nach Anwendungsfall auch Kombinationen eingesetzt, etwa Pipeline-Stufen mit Flash-Sub-ADCs oder SAR-Stufen innerhalb von Zeitverschachtelungs-Architekturen (Time-Interleaved-ADC) für höchste Abtastraten bei moderater Auflösung.