

Halbleitertechnologie von A bis Z

Zuverlässigkeit

Elektromigration, TDDB und NBTI/PBTI	3
<i>Elektromigration</i>	<i>3</i>
<i>Time-Dependent Dielectric Breakdown (TDDB)</i>	<i>3</i>
<i>Bias Temperature Instability (NBTI/PBTI)</i>	<i>4</i>

Elektromigration, TDDB und NBTI/PBTI

Elektromigration

Elektromigration bezeichnet den Materialtransport in einem Metallleiter, der durch den Impulsübertrag driftender Leitungselektronen auf die Metallionen des Kristallgitters verursacht wird (Elektronenwind). Bei den hohen Stromdichten moderner Verdrahtungsebenen von mehreren MA/cm² wandern Metallatome bevorzugt entlang von Korngrenzen in Stromrichtung, wodurch sich auf der Anodenseite Material anhäuft (Hillocks) und auf der Kathodenseite Leerstellen zu Hohlräumen (Voids) koaleszieren, die den Leiterquerschnitt bis zur vollständigen Unterbrechung verengen können.

Die mittlere Lebensdauer einer Leiterbahn bis zum elektromigrationsbedingten Ausfall wird durch die empirische Black-Gleichung $MTTF = A \cdot J^{-n} \cdot e^{E_a/(k \cdot T)}$ beschrieben, wobei J die Stromdichte, T die Temperatur, E_a die Aktivierungsenergie, k die Boltzmann-Konstante und der Stromdichteexponent n typischerweise nahe 2 liegt. Für Aluminiumverdrahtung liegt die zulässige Designstromdichte meist im Bereich von 1 bis 2 MA/cm² bei einer Aktivierungsenergie von etwa 0,5 bis 0,7 eV entlang der Korngrenzen; Kupfer erreicht dank einer Aktivierungsenergie von rund 0,7 bis 1,1 eV und einer geringeren Selbstdiffusion eine um ein Vielfaches höhere Elektromigrationsfestigkeit bei gleicher Stromdichte. Diese Verbesserung war einer der wesentlichen Treiber für die Einführung der Kupfertechnologie in den 1990er-Jahren, da sie höhere Stromdichten bei gleichzeitig sinkenden Leiterbahnquerschnitten überhaupt erst zuverlässig ermöglichte.

Time-Dependent Dielectric Breakdown (TDDB)

Time-Dependent Dielectric Breakdown (TDDB) beschreibt den zeitverzögerten elektrischen Durchbruch eines Gate-Dielektrikums unter einer Dauerbelastung, die deutlich unterhalb der intrinsischen Durchbruchspannung liegt. Ursache ist die kontinuierliche Erzeugung von Defekten im Oxid durch injizierte Ladungsträger, die sich mit der Zeit zu einem durchgehenden Pfad geringen Widerstands zwischen Gate und Kanal verketten (Perkolationsmodell).

Bei modernen CMOS-Technologien liegt die effektive Gate-Oxiddicke (Equivalent Oxide Thickness, EOT) nur noch bei etwa 1 bis 2 nm, was im Normalbetrieb bereits zu elektrischen Feldstärken von 8 bis 12 MV/cm im Oxid führt – ein Bereich, in dem TDDB zum dominanten Lebensdauer-limitierenden Mechanismus wird. Da die für einen Durchbruch nötige Defektdichte mit sinkender Oxiddicke ebenfalls abnimmt, ist TDDB einer der zentralen Gründe,

warum die maximal zulässige Betriebsspannung moderner Technologien nicht beliebig erhöht werden kann. In der Qualifikation wird die Lebensdauer typischerweise durch beschleunigte Tests bei Feldstärken von 15 MV/cm und mehr sowie erhöhter Temperatur ermittelt und über ein Potenzgesetz auf die Nennbetriebsbedingungen extrapoliert, wobei geforderte Lebensdauern von zehn Jahren bei Feldern deutlich unterhalb der Testbedingungen erreicht werden müssen.

Bias Temperature Instability (NBTI/PBTI)

Bias Temperature Instability (BTI) bezeichnet die zeitabhängige Verschiebung der Schwellenspannung eines MOS-Transistors unter dauerhafter Gate-Spannungsbelastung bei erhöhter Temperatur. Bei PMOS-Transistoren tritt der Effekt als Negative BTI (NBTI) unter negativer Gate-Source-Spannung auf, bei NMOS-Transistoren als Positive BTI (PBTI) unter positiver Gate-Source-Spannung; beide äußern sich in einer betragsmäßigen Zunahme der Schwellenspannung und damit einer Reduktion des Drain-Stroms im Laufe der Betriebszeit.

Als Ursache gelten die Erzeugung von Grenzflächenzuständen an der Si-SiO₂-Grenzfläche sowie das Einfangen von Ladungsträgern in Traps innerhalb des Gate-Dielektrikums, wobei sich ein Teil der Verschiebung bei Entlastung der Gate-Spannung wieder zurückbildet (Recovery). Typische Schwellenspannungsverschiebungen liegen nach zehn Jahren Betrieb bei etwa 30 bis 80 mV, abhängig von Technologie, Betriebstemperatur und Versorgungsspannung; bei High-k-Metal-Gate-Technologien fällt NBTI in der Regel stärker ins Gewicht als PBTI. Da BTI die Schaltgeschwindigkeit von Logikpfaden über die Lebensdauer eines Chips kontinuierlich verringert, wird der Effekt beim Timing-Signoff durch einen Alterungs-Guardband von oft mehreren Prozent auf die Schwellenspannung beziehungsweise Gatterverzögerung berücksichtigt.