

Halbleitertechnologie von A bis Z

Analog-/Mixed-Signal-Design

PLL - Phase-Locked Loop	3
<i>Grundprinzip des Regelkreises</i>	<i>3</i>
<i>Phasen-Frequenz-Detektor, Ladungspumpe und Frequenzteiler</i>	<i>3</i>
<i>Schleifenbandbreite, Jitter und Anwendungen</i>	<i>3</i>

PLL - Phase-Locked Loop

Grundprinzip des Regelkreises

Eine Phasenregelschleife (Phase-Locked Loop, PLL) ist ein Rückkopplungssystem, das die Phase und Frequenz eines internen Oszillators an ein Referenzsignal anpasst. Die drei Kernblöcke sind ein Phasendetektor, der die Phasendifferenz zwischen Referenz- und Rückkopplungssignal misst, ein Schleifenfilter, das dieses Fehlersignal glättet, und ein spannungsgesteuerter Oszillator (Voltage-Controlled Oscillator, VCO), dessen Ausgangsfrequenz proportional zur angelegten Steuerspannung ist und der typischerweise über einen Abstimmbereich von 20 bis 50 % der Mittenfrequenz verfügt.

Im eingerasteten Zustand (Lock) folgt die Phase des VCO-Ausgangs der Referenzphase mit einer konstanten, im Idealfall verschwindenden Restabweichung. Verändert sich die Referenzfrequenz oder driftet der VCO, sorgt die Rückkopplungsschleife dafür, dass die Steuerspannung des VCO nachgeregelt wird, bis der Phasenfehler wieder minimal ist; die dafür benötigte Einrastzeit (Lock Time) liegt je nach Schleifenbandbreite typischerweise im Bereich weniger Mikrosekunden bis einiger hundert Mikrosekunden.

Phasen-Frequenz-Detektor, Ladungspumpe und Frequenzteiler

In digitalen PLLs wird die Phasendifferenz meist mit einem Phasen-Frequenz-Detektor (PFD) bestimmt, der zusätzlich zur reinen Phasenabweichung auch erkennt, welches der beiden Signale vorläuft, und darüber eine Ladungspumpe (Charge Pump) mit typischen Strömen im Bereich weniger zehn Mikroampere bis einiger Milliampere ansteuert. Die Ladungspumpe lädt oder entlädt einen Kondensator im Schleifenfilter proportional zur erkannten Phasendifferenz und erzeugt so die Steuerspannung für den VCO.

Wird zwischen VCO-Ausgang und Rückkopplungseingang ein programmierbarer Frequenzteiler mit Teilverhältnis N eingefügt, rastet die Schleife auf eine Ausgangsfrequenz $f_{\text{out}} = N \cdot f_{\text{ref}}$ ein. Ein typisches Beispiel aus der Mobilfunktechnik ist die Erzeugung einer Trägerfrequenz von etwa 2,4 GHz aus einem stabilen 26 MHz-Quarzoszillator mit einem Teilverhältnis N von rund 92 – dieses Prinzip der Frequenzsynthese erlaubt es, aus einer einzigen, hochstabilen Referenzfrequenz eine Vielzahl unterschiedlicher, aber ebenso stabiler Ausgangsfrequenzen zu erzeugen.

Schleifenbandbreite, Jitter und Anwendungen

Die Bandbreite des Schleifenfilters bestimmt einen wichtigen Kompromiss: Eine breite Schleifenbandbreite unterdrückt das Phasenrauschen des VCO wirksam, lässt aber das Rauschen der Referenz und des Phasendetektors nahezu ungefiltert durch; eine schmale Bandbreite filtert umgekehrt das Referenzrauschen heraus, kann aber das intrinsische VCO-Phasenrauschen bei höheren Frequenzabständen vom Träger nicht mehr unterdrücken. In der Praxis wird die Schleifenbandbreite häufig auf etwa ein Zehntel bis ein Zwanzigstel der Referenzfrequenz eingestellt, um beide Rauschbeiträge ausgewogen zu berücksichtigen; typische integrierte PLLs für Taktanwendungen erreichen dabei einen Gesamt-Jitter (RMS) im Bereich weniger Pikosekunden bis einiger zehn Pikosekunden.

PLLs werden unter anderem zur Taktgenerierung und Taktvervielfachung in digitalen Schaltungen, zur Frequenzsynthese in Funksendern und -empfängern sowie zur Taktrückgewinnung (Clock and Data Recovery) aus seriellen Datenströmen mit Datenraten von mehreren Gigabit pro Sekunde eingesetzt, bei der die PLL den eingebetteten Takt eines empfangenen Signals ohne separate Taktleitung rekonstruiert.