

1 Grundlagen

1.1 Aufbau eines FinFET

1.1.1 Allgemeiner Aufbau und Funktionsweise

Der grundlegende Aufbau und die Funktionsweise eines FinFET unterscheiden sich nicht von einem herkömmlichen MOS-Feldeffekttransistor. So gibt es auch hier einen Source- und Drainanschluss, über die der Stromfluss erfolgt. Die Steuerung des Transistors regelt eine Gateelektrode. Im Gegensatz zum klassischen, in Planarbauweise hergestellten Feldeffekttransistor wird der Kanal zwischen Source und Drain jedoch als dreidimensionale Struktur auf dem Siliciumsubstrat erzeugt, so dass die Gateelektrode diesen von mehreren Seiten umschließen kann. So wird ein wesentlich besseres elektrisches Verhalten ermöglicht: Leckströme können reduziert und Steuerströme besser kontrolliert werden.

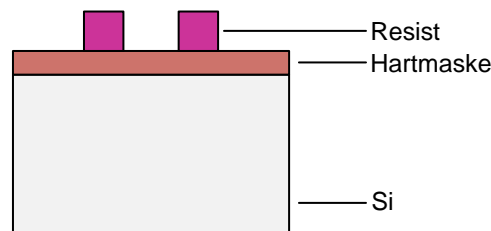
Die dreidimensionale Struktur erzeugt jedoch auch neue parasitäre Kapazitäten und minimale Abmessungen (engl. critical dimension), die optimiert werden müssen. Die Gatelänge wird in einem FinFET parallel zum Kanal gemessen, während die Weite des Gates der doppelten Finnenhöhe plus der Finnenbreite entspricht. Die Höhe des Kanals limitiert den Steuerstrom und die Gatekapazität, die Breite beeinflusst die Durchbruchspannung und Kurzkanaleffekte und die daraus resultierenden Größen wie den Stromverbrauch.

Im Folgenden wird der Aufbau eines Multigate-Transistors mit drei Gates (Tri-Gate) im Bulk-Prozess beschrieben.

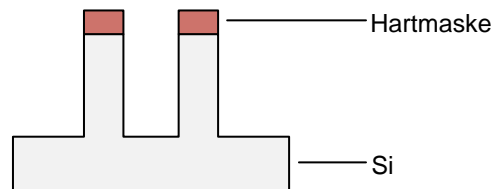
1.1.2 Aufbau eines FinFET im Bulkprozess

1. Substrat: Grundlage für einen FinFET ist ein schwach p-dotiertes Siliciumsubstrat, auf dem eine Hartmaske (z. B. Siliciumnitrid) aufgebracht und eine Lackschicht struk-

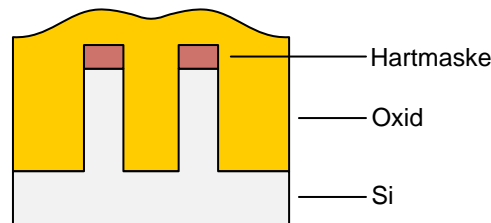
turiert wird.



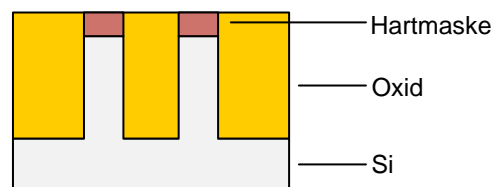
2. Ätzung der Finnen: In einem stark anisotropen Trockenätzschritt werden die freistehenden Finnen in das Siliciumsubstrat geätzt. Beim Bulk-Prozess muss die Ätzung im Gegensatz zur Herstellung auf einem SOI-Substrat mit Festzeit erfolgen, da keine „Stoppschicht“ im Silicium Aufschluss über die erreichte Tiefe gibt. In einem 22-nm-Prozess liegt die Breite der Finnen bei ca. $10 - 15 \text{ nm}$, die Höhe sollte idealerweise dem doppelten oder mehr entsprechen.



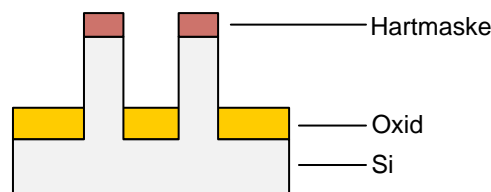
3. Oxidabscheidung: Zur Isolation erfolgt eine Oxidabscheidung, welche ein gutes Füllverhalten von schmalen, tiefen Gräben erlauben muss.



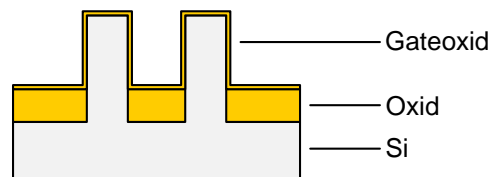
4. Planarisierung: Mittels chemisch mechanischem Polieren wird das Oxid eingeebnet. Die Hartmaske dient als Stoppschicht.



5. Rückätzung: In einem weiteren Ätzschritt mit Festzeit wird das Oxid zurückgeätzt. Zurück bleibt eine seitliche Isolation zwischen den Finnen. Da die Finnen über das Substrat in Kontakt stehen, muss ein Dotierschritt erfolgen, durch den die Siliciumstege elektrisch von einander isoliert werden (nicht dargestellt). Alternativ kann das Oxid in einem Hochtemperaturschritt in den Bodenbereich der Finnen auswachsen, so dass die Kanäle vom Siliciumsubstrat isoliert werden. Auf Grund damit verbundener komplexer Prozessschritte ist es jedoch unwahrscheinlich, dass dieser Ansatz in der Massenfertigung zum Einsatz kommen wird.



6. Gateoxid: Auf den Finnen wird das Gateoxid mittels thermischer Oxidation abgeschieden, um den Kanalbereich von der Gateelektrode zu isolieren.



7. Gateabscheidung: Abschließend wird in einem LPCVD-Prozess ein stark n^+ -dotiertes Polysilicium auf den Finnen abgeschieden. Dadurch ergeben sich mehrere Gateelektroden: je eine links und rechts vom Kanal sowie - in Abhängigkeit der Dicke des Gateoxids auf den Finnen - eine dritte darüber.

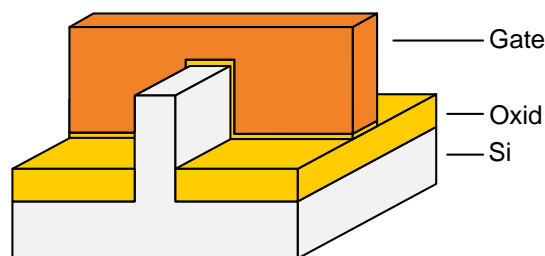


Abb. 1.1: FinFET im Bulk-Prozess

Die Einwirkung des Topgates auf den Kanal kann auch durch eine Nitridschicht zwi-

schen Finne und Gate unterbunden werden.

Da bei einem SOI basierten Prozess bereits eine ganzflächige Oxidschicht auf dem Wafer vorhanden ist, ist die elektrische Isolation der Kanäle voneinander automatisch gegeben. Zusätzlich ist der Ätzprozess der Finnen unproblematischer, da dieser einfach auf dem Oxid gestoppt werden kann.

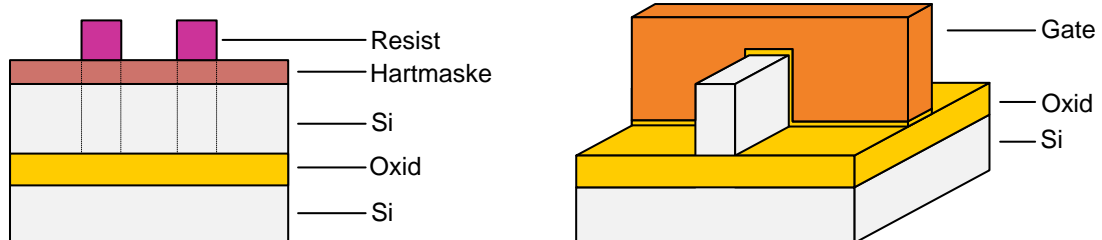


Abb. 1.2: FinFET im SOI-Prozess